

文章编号:1672-058X(2013)07-0047-06

基于高速 PCB 的信号完整性理论分析*

刘剑平

(中国石油化工股份有限公司 润滑油重庆分公司信息中心,重庆 400020)

摘要:介绍了高速 PCB 设计中的信号完整性概念以及影响信号完整性的因素和不完整性形成原因;从传输线理论的层面上重点分析了高速电路设计中反射和串扰的形成机制并提出了解决办法;基于 IBIS 模型实现了对 ARM9 S3C2410X01 芯片的时钟输出引脚的仿真,给出了 IBIS 模型仿真步骤。

关键词:信号完整性;反射;串扰;IBIS 仿真

中图分类号: TN245

文献标志码: A

如今的高速数字系统中,需将 PCB(Printed Circuit Board,印制电路板)或 MCM(Multichip Module,多芯片模块)的走线当作传输线处理。低速设计中,可以把互连通路建模为集总电容或简单的延迟线,在高速设计中则不行。这是因为在高速设计中,与传输线相关的时序是总时序容限的重要部分,由此而带来传输线理论中涉及的一系列信号完整性问题,如误触发、阻尼振荡、过冲、串扰、反射等。在此将探讨其形成的原因、计算方法,介绍了采用 IBIS 模型解决这些问题的方法和对策。

1 高速电路的定义

通常数字逻辑电路的频率达到或超过 50 MHz,而且工作在这个频率以上的电路占整个系统的 1/3 以上,就可以称其为高速电路^[1]。实际上与信号本身的频率相比,信号边沿的谐波频率更高,信号快速变化的跳变(上升沿与下降沿)引发了信号传输的非预期结果。如果线传播延时大于数字信号驱动端上升时间的 1/2,则可认为此类信号是高速信号并产生传输线效应。信号的传递发生在信号状态改变的瞬间,如上升时间或下降时间。信号从驱动端到接收端经过一段固定的时间,如果传输时间小于上升或下降时间的 1/2,那么在信号改变状态之前,来自接收端的反射信号将到达驱动端。否则,反射信号将在信号改变状态之后到达驱动端。如果反射信号很强,叠加的波形就有可能改变逻辑状态。通常通过器件手册可以查出信号上升的典型值。而在 PCB 设计中,实际布线长度决定了信号的传播时间。如果过孔、器件管脚多或网络上设置的约束多,将导致延时增大。一般情况下,高速逻辑器件的上升时间约为 0.2 ns^[1]。

以 T_r 表示信号上升时间, T_{pd} 表示信号线传播延时,若 $T_r \geq 4T_{pd}$, 信号落在安全区域;若 $2T_{pd} \leq T_r \leq 4T_{pd}$, 信号将落在不确定区域;若 $T_r \leq 2T_{pd}$, 信号将落在问题区域。当信号落在不确定区域及问题区域时,应该使用高速布线方法进行 PCB 设计^[2]。

收稿日期:2013-04-22;修回日期:2013-05-27.

作者简介:刘剑平(1977-),女,重庆市荣昌人,工程师,从事计算机及网络通信研究.

2 反射原理分析与解决办法

2.1 反射的形成与计算

在研究单条印制线时,主要研究反射对信号完整性的影响。当驱动器将信号发送到传输线上时,信号幅度取决于驱动器的电压、驱动器的源电阻和传输线的阻抗。在驱动器看到的初始电压由源电阻和传输线阻抗构成的分压器决定。图 1 描述了发送到一段长传输线上的初始电波。初始电压 V_i 沿传输线传播,直到到达终端。 V_i 的幅度取决于源电阻和传输线阻抗之间的电压分配:

$$V_i = V_s \frac{Z_0}{Z_0 + Z_s} \quad (1)$$

如果传输线终端接一个与传输线特征阻抗精确匹配的阻抗,那么,幅度为 V_i 的信号就是端接到地的信号,传输线上电压保持为 V_i ,直到信号源再次发送信号。这种情况下,电压 V_i 为直流稳态值。另一方面,若传输线终端所接阻抗不等于传输线的特征阻抗,则信号的一部分将端接到地,其余部分将朝信号源方向发射回传输线。反射信号分量的多少取决于发射系数(reflection coefficient)^[3]。反射系数定义为给节点处反射电压与入射电压的比值。这里,节点(junction)指传输线上阻抗不连续的地方。阻抗不连续的具体表现形式可以是某段具有不同特征阻抗的传输线、端接电阻或芯片上的缓冲器的输入阻抗以及 PCB 板上的过孔等。反射系数的计算如下:

$$\rho = \frac{V_{\text{reflected}}}{V_{\text{incident}}} = \frac{Z_t - Z_0}{Z_t + Z_0} \quad (2)$$

其中, Z_0 是传输线的特征阻抗, Z_t 是导致不连续的阻抗。式(2)中,信号沿特征阻抗为 Z_0 的传输线传播,遇到不连续的阻抗 Z_t 。注意,如果 $Z_0 = Z_t$,则反射系数为 0,意味着不存在反射。 $Z_0 = Z_t$ 的情况称为端接匹配(matched termination)。

如图 2 所示,当入射波到达终端 Z_t 时,信号的一部分 V_r 朝信号源方向反射回去,并与入射波叠加,在传输线上得到的电压幅度为 $V_r + V_i$ 。然后,反射分量返回,向信号源传播,并且有可能在信号源处再发生一次反射。这种反射和逆反射在传输线上不断进行,直到满足稳定条件为止。

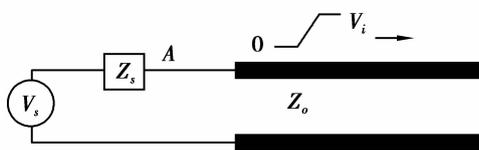


图 1 电波发送图

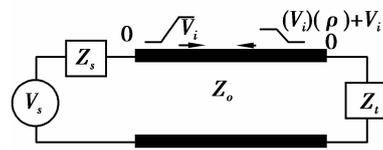


图 2 入射信号从不匹配的负载终端反射回去图

精确计算反射系数和反射电压的关键是确定传输线的特征阻抗,它不仅仅是印制线的电阻。当印制线上传输的信号速度超过 100 MHz 时,必须将印制线看成是带有寄生电容和电感的传输线,而且在高频下会有趋肤效应和电介质损耗,这些都影响传输线的特征阻抗。按照传输线的结构,可以将它分为微带线和带状线。

2.1.1 表层微带线的特征阻抗

微带线是位于接地层上由电介质隔开的印制导线,其模型如图 3 所示。印制导线的厚度、宽度、印制导线与地层的距离以及电介质的介电常数决定了微带线的特征阻抗。计算公式如下:

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[\frac{5.98h}{0.8\omega + t} \right] \quad (3)$$

式(3)中 Z_0 是微带线的特性阻抗(Ω), ω 是印制导线宽度(英寸), t 是印制导线厚度(英寸) h 是电介质厚度

(英寸), ϵ_r 是印制电路板电介质的相对介电常数(图 3)。

2.1.2 层间带状线的特性阻抗

带状线是介于两个接地层之间的印制导线,其模型如图 4 所示。它的特性阻抗与印制导线的宽度、厚度、电介质的介电常数以及两个接层的距离有关。特性阻抗的计算公式:

$$Z_o = \frac{60 \ln \left[\frac{1.9(2h + t)}{0.8\omega + t} \right]}{\sqrt{\epsilon_r}} \quad (4)$$

式(4)中 Z_o 是带状线的特性阻抗(Ω), ω 是印制导线宽度(英寸), t 是印制导线厚度(英寸) h 是电介质厚度(英寸), ϵ_r 是印制电路板电介质的相对介电常数(图 4)。

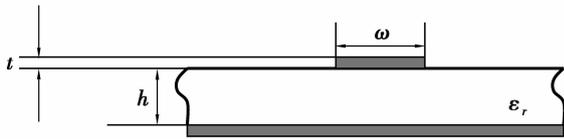


图 3 表层微带线模型图

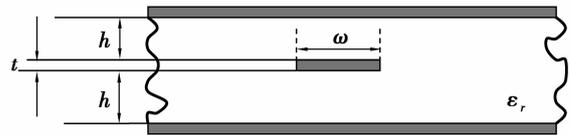


图 4 带状线模型图

2.1.3 非对称带状线的特性阻抗

非对称带状线模型如图 5 所示。特性阻抗的计算公式如下:

$$Z_o = \frac{80 \ln \left[\frac{1.9(2h + t)}{0.8\omega + t} \right] \cdot \left[1 - \frac{h}{4(h + c + t)} \right]}{\sqrt{\epsilon_r}} \quad (5)$$

式(5)中 Z_o 是非对称带状线的特性阻抗(Ω), ω 是印制导线宽度(英寸), t 是印制导线厚度(英寸) h 是电介质厚度(英寸), c 是印制导线之间的距离, ϵ_r 是印制电路板电介质的相对介电常数。

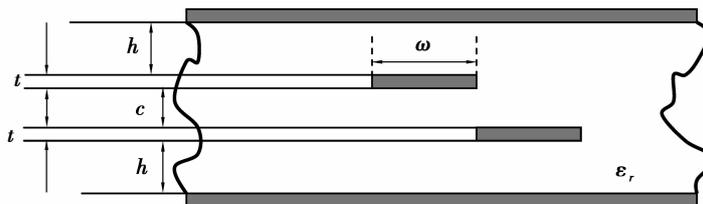


图 5 非对称带状线模型

2.2 反射引起的问题及解决方法

由于存在传输线效应,从反射的角度来看,会出现以下信号完整性问题:

(1) 信号反射形成信号振荡。反射回来的信号会在源端和终端之间形成多次反射,加上传输线效应引起的过大的电感和电容,会导致信号振荡,即在一个逻辑电平附近上下震荡。这种现象尤其会出现在周期性的时钟信号上,从而导致系统失败。

(2) 信号反射会形成信号过冲和下冲。虽然一般来说每个信号的输入端都具有保护作用的齐纳二极管,但过冲电平有时会远远超过元件电源电压范围,损坏元器件。

(3) 多次跨越逻辑电平门限。信号在跳变的过程中可能多次跨越逻辑电平门限,它是信号振荡的一种特殊的形式,即信号的振荡发生在逻辑电平门限附近,多次跨越逻辑电平门限会导致逻辑功能紊乱。

解决反射的根本办法是使信号具有良好的终端匹配,控制传输线的长度,同时利用 IBIS 仿真对系统信号进行优化。

3 串扰原理分析与解决办法

3.1 串扰的形成和计算

在研究多条印制线时,主要研究串扰对信号完整性的影响。串扰(crosstalk)是指能量在两条或多条导线上的耦合。导线中通过交变电流时就会产生磁场,当不同导线产生的电磁场发生相互作用时就会产生串扰。在高速数字电路系统中,串扰现象相当普遍。串扰可以发生在芯片内核、芯片的封装、PCB、接插件以及连接线缆上,串扰会改变总线中受串扰的传输线特性,即等价的改变传输线的特性阻抗与传输速度,这样会对系统的时序及信号完整性带来不利的影响;另外,串扰会对其他的传输线产生噪声,会更进一步的降低信号质量,以及降低信号的噪声余量。串扰是由电磁耦合形成的。耦合分为容性耦合和感性耦合两种:容性耦合是由于干扰源(aggressor)上的电压变化在被干扰对象(victim)上引起感应电流而导致的电磁干扰;而感性耦合是由于干扰源上的电流变化产生的磁场在被干扰对象上引起感应电压而导致的电磁干扰。

串扰是由于 PCB 上的任何两个器件或导线之间都存在互感和互容,当一个器件或导线上的信号发生变化时,其变化会通过互感和互容影响其他器件或导线而引起不期望的电压噪声干扰。互感通过电磁场效应将电流从驱动线路感应到邻近的受干扰线路上。当然,这是指受干扰的传输线离驱动线路足够近的情况,这样驱动线路电流产生的磁场包围了受干扰传输线,从而在该传输线上产生感应电流。互感将在受害线路上叠加一个电压噪声,其大小与驱动线路上驱动电流的变化成正比。感性串扰和容性串扰的基本分析公式如下:

$$V_{\text{noise},L_m} = L_m \frac{dI_{\text{driver}}}{dt} = \frac{L_m}{R_a \times T_r} \quad (6)$$

式(6)中, L_m 是互感, R_a 是干扰源的终端匹配电阻, T_r 是信号上升沿的时间。

$$I_{\text{noise},C_m} = C_m \frac{dV_{\text{driver}}}{dt} = \frac{R_a \times C_m}{T_r} \quad (7)$$

式(7)中, C_m 是互容, R_a 是被干扰对象的终端匹配电阻, T_r 是信号上升沿的时间。从上面的公式可以看出,串扰的大小与很多因素有关,如信号的速率、信号的上升沿和下降沿的速率、PCB 板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式等。

3.2 串扰的特性

总的来说,串扰具有以下特性^[4]:

(1) 串扰是线间的信号耦合。在串扰存在的信号线中,干扰源常常也是被干扰对象,而被干扰对象同时也是干扰源。

(2) 串扰分为后向串扰和前向串扰,传输线上任意一点为二者之和。对于有理想地平面的带状传输线,由于它对于感性耦合和容性耦合有着很好的平衡,因此感性耦合与容性耦合产生的电流大小相等、方向相反,从而使得前向串扰相互抵消,反向串扰相对增强。而对于非理想地平面或微带传输线,由于感性耦合的影响要大于容性耦合,因而使得前向串扰极性为负,幅度增大。串扰大小与线间距成反比,与线平行长度成正比。

(3) 串扰随电路中负载的变化而变化,对于相同的拓扑结构和布线情况,负载越大,串扰越大。串扰与信号频率成正比,在数字电路中,信号的边沿变化对串扰的影响最大,边沿变化越快,串扰越大;反向串扰在低阻抗驱动源处会向远端发射。对于多条平行线的情况,其中某一条线上的串扰为其他各条线各自对其串扰的综合结果。某些情况下,串扰可以相互抵消。

(4) 对于传输周期信号的信号线,串扰也是周期的。

串扰普遍存在于高速高密度的 PCB 设计中,给系统带来不利的影响,因此在系统设计时应该在不影响系统其他性能的情况下最大程度的减少串扰的影响。

4 IBIS 仿真

4.1 仿真模型

由于在高速电路设计中存在许多的信号完整性问题,为了确保产品的性能和缩短开发周期,迫切需要进行电路的板级仿真。仿真的模型主要有 SPICE 模型和 I/O Buffer Information Specification(简称 IBIS)模型等。IBIS 模型只涉及器件 I/O buffer 的电气特性,不包含器件内核的结构、工艺和性能等信息,从而有效保护了 IC 开发商的知识产权,因此与 SPICE 模型相比,IBIS 模型比较容易从器件生产厂家获得;同时 IBIS 仿真具有很高的精度,而且其仿真速度比 SPICE 仿真速度快 25 倍左右,现只介绍 IBIS 仿真。

4.2 IBIS 模型仿真步骤

由于 IBIS 仿真模型不但含有每个引脚的寄生参数,如封装寄生电感、电容和电阻,而且有表示信号沿速率的 dV/dt 和端口特征的 V/I 曲线,所以 IBIS 仿真具有精度高、仿真速度快的特点,被现在的 EDA 软件广泛采用^[5],如 Cadence 和 Mentor 等。下面介绍 IBIS 模型的仿真步骤:从半导体厂家获取 IBIS 模;进行 IBIS 模型的校正,这一点非常重要,因为有时候厂家提供的 IBIS 模型有错;提取具体引脚的 IBIS 模型,仿真出典型、最大、最小的 I/V 曲线图;在源端加上激励,然后进行仿真。如果存在信号完整性问题,可以修改终端匹配或 PCB 设计,然后再进行仿真,直到满足信号完整性要求。

4.3 S3C2410X01 芯片的 IBIS 模型仿真

S3C2410X01 芯片是韩国三星公司推出的一款基于 ARM9210 内核的 16/32 位的 RISC 嵌入式微处理器。对该芯片的 R12 脚进行模拟仿真。R12 脚是该芯片的时钟输出脚,通过查找 IBIS 模型文件知道 R12 脚对应的模型名称为 phbsu100ct12sm,由此可以得到 R12 脚的下拉(Pulldown)的 I/V 曲线图(图 6)。假设内阻为 $50\ \Omega$,加入 10 ns 每周期的方波信号作为激励信号,由此得到仿真波形图如图 7 所示。

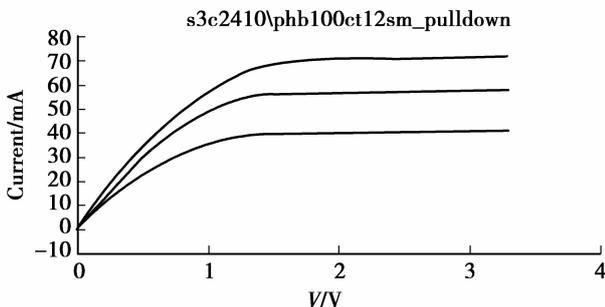


图 6 R12 脚的下拉(Pulldown)的 I/V 曲线图

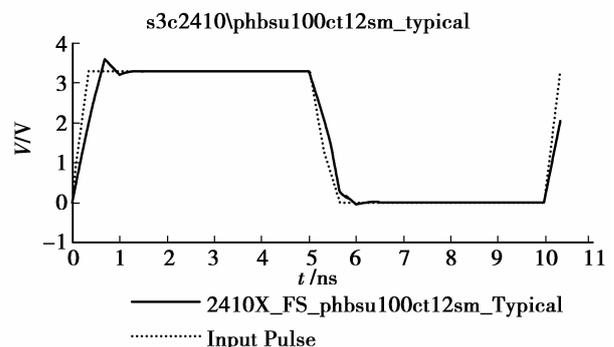


图 7 R12 脚的典型仿真图

5 结束语

信号完整性设计已经成为高速 PCB 设计中非常重要的一环,需要从原理图设计初就考虑信号完整性问题,综合运用传输线的理论知识,具体问题具体分析,并采用模型仿真加速设计的进度和保证设计的成功。本文从理论上分析了信号完整性问题的主要方面,通过实例介绍了 IBIS 模型的仿真步骤。当然由于 IBIS 模型不涉及芯片内部的晶体管结构,同时对外面的被动器件和结构(如过孔)描述不够精确,所以对于超高速

PCB(信号传输速率超过 1G/bs)的设计,可以采用 SPICE 仿真,同时采用三维电磁场软件提取过孔的 SPICE 模型。

参考文献:

- [1] 周润景,袁伟亭.Cadence 高速电路板设计与仿真[M].北京:电子工业出版社,2006
- [2] 朱滔.信号完整性原则在高速设计中的应用[J].现代有线传输,2003(6):58-62
- [3] STEPHEN H.HALL. High-Speed Digital System Design[M].北京:机械工业出版社,2005
- [4] 李征帆,曹毅.微波与高速电路中的电磁场理论及其数值方法[M].北京:科学出版社,2002
- [5] STEVE K F. Controlling Crosstalk in High-speed Digital systems[J]. Electronics Systems,1999(5):24-27
- [6] 李宏熙.从信号完整性的角度看高速设计流程[J].Cadence 高速系统设计专刊,2002(5):28-31
- [7] 杨碧玲.新一代 Allegro 工具助力 PCB 设计小型化、高速化和智能化[J].集成电路应用,2013(1):19
- [8] 王红飞,李志东.高速 PCB 过孔设计研究进展[J].印制电路信息,2012(5):18-22

The High-Speed PCB Based Signal Integrity Analysis

LIU Jian-ping

(Information Center, Lubricant Chongqing Branch, China Petroleum Chemical Engineering Company,
Chongqing 400020, China)

Abstract: The concept of signal integrity and causes of signal integrity issue in the high-speed PCB design are introduced. Based on transmission line theory, the formation mechanism of the reflection and crosstalk in the high-speed design is intensively analyzed and solutions are proposed. Based on IBIS model, a simulation of the ARM9 S3C2410X01 chip's clock signal output pin is realized and the IBIS model simulation steps are provided.

Key words: signal integrity; reflection; crosstalk; IBIS simulation

责任编辑:代小红