

doi:10.16055/j.issn.1672-058X.2020.0006.004

多路高速互连信息处理系统及其 FPGA 实现^{*}

郭 静^{1,2}

(1. 重庆工商大学 人工智能学院,重庆 400067;2. 检测控制集成系统重庆市工程实验室,重庆 400067)

摘 要:针对复杂嵌入式计算领域对多通道数据传输的速率和规模需求越来越高,给出了一款基于 VPX 的多路高速互连信息处理系统的整体原理设计;该系统的核心组件有 3 片 FPGA、1 片 PPC 和 1 片 SRIO,为了实现板内外多路 10 Gbps 高速信号通信,利用高性能 FPGA 的大量高速收发器,进行了合理的功能设计、GTH 时钟设计和主机端加载设计;最后 FPGA 板内板间 GTH 测试表明,该系统很好地实现了板间 96 路 10 Gbps 高速数据信号接收、56 路 10 Gbps 高速数据信号发送、12 路 10 Gbps 高速数据光信号发送、板内 32 路 10 Gbps 高速数据信号互连;该系统具有高集成度、高带宽、高速率等特点,经实验测试,其性能稳定,具有良好的实践效果。

关键词:多路;高速互连;FPGA;GHT

中图分类号:TP332

文献标志码:A

文章编号:1672-058X(2020)06-0019-07

0 引 言

国防、军工等领域的数据量爆炸式增长使得对信号处理系统的运算处理速度、数据带宽、传输速率和通道数量等方面的要求愈来愈高。随着硬件设计工艺的发展以及为了满足各行业对高速数据传输的应用需求,各大品牌主流 FPGA 产品都在芯片中集成了多路高速串行收发器^[1],这种高速串行收发器可以用于实现串行 Rapid IO(SRIO)、PCIe 以及以太网等标准的高速串行总线,也可以用于实现简单的自定义传输协议,具有很大的应用灵活性^[2]。本文使用 Xilinx 公司的 FPGA 及其集成的高速串行收发器设计了一种多路高速互连信息处理系统。该系统采用 VPX 标准和 SRIO 交换技术,提供多路高速 FPGA GHT(Gigabit Transceiver)高速收发器信号以及多路千兆网络接口实现模块板内外的高速数据交互,具有处理能力强、数据吞吐量大的特点,获得了良好的实践效果。该系统可广泛应用于雷达、通信、电子对抗、声呐等领域。

1 多路高速互连信息处理系统设计

基于 VPX 的多路高速互连处理系统的核心组件,采用 3 片 Xilinx 公司 Virtex-7 FPGA 690T 芯片用于接口连接与信号处理,1 片飞思卡尔 T2080 高性能 PPC(Power Architecture PC)处理器用于系统控制及数据处理,同时使用 1 片第二代 SRIO 交换芯片 CPS1432,用于板内外高速互连,通过 VPX 接口与系统组成数据传输网络,以实现数据传输和处理的高效结合。其中 FPGA 芯片功能强大,资源丰富,在本设计中实现的主要功能是板间 10 Gbps 高速 GTH 信号通信。PPC 配置了 1 通道 DDR3 SDRAM,大大提高了处理性能,还设计了 1 路 4x SRIO 到 CPS1432 芯片交换,速度可达到 5 Gbps,从而也提高板内各芯片之间的通信能力^[3]。系统还设计了 3 路千兆网络接口用于测试和数据传输,其中 1 路 1000 Base-T 到前面板,2 路 1000 Base-X 到 VPX 接口。系统的各个主芯片均连接 4 GB 的 DDR3,扩展了板载内存,各个主芯片还连接了 128 MB 的 Nor Flash,用于数据处理和重要信息存储,极大地扩展

收稿日期:2020-01-01;修回日期:2020-03-12.

^{*} 基金项目:国家留学基金资助(201908505096)。

作者简介:郭静(1978—),女,四川武胜人,讲师,硕士,从事嵌入式系统开发研究。

了系统的存储器容量以满足不同的应用需求^[4]。系统背板采用 6U 尺寸的 VPX20 连接器,系统前面板使用 J63-31 连接器,主要用于 FPGA_JTAG 调试以及 min 串口与网络支持 PPC 调试,前面板还设计了 8 个 LED 指示灯,用于反应系统工作状态。在板

上控制器 (OBC) 方面,系统采用 Xilinx 公司 XC3S1400AN 芯片来管控整板工作状态以及做 3 片 FPGA 的主机端加载。整个系统互连原理框图如图 1 所示。

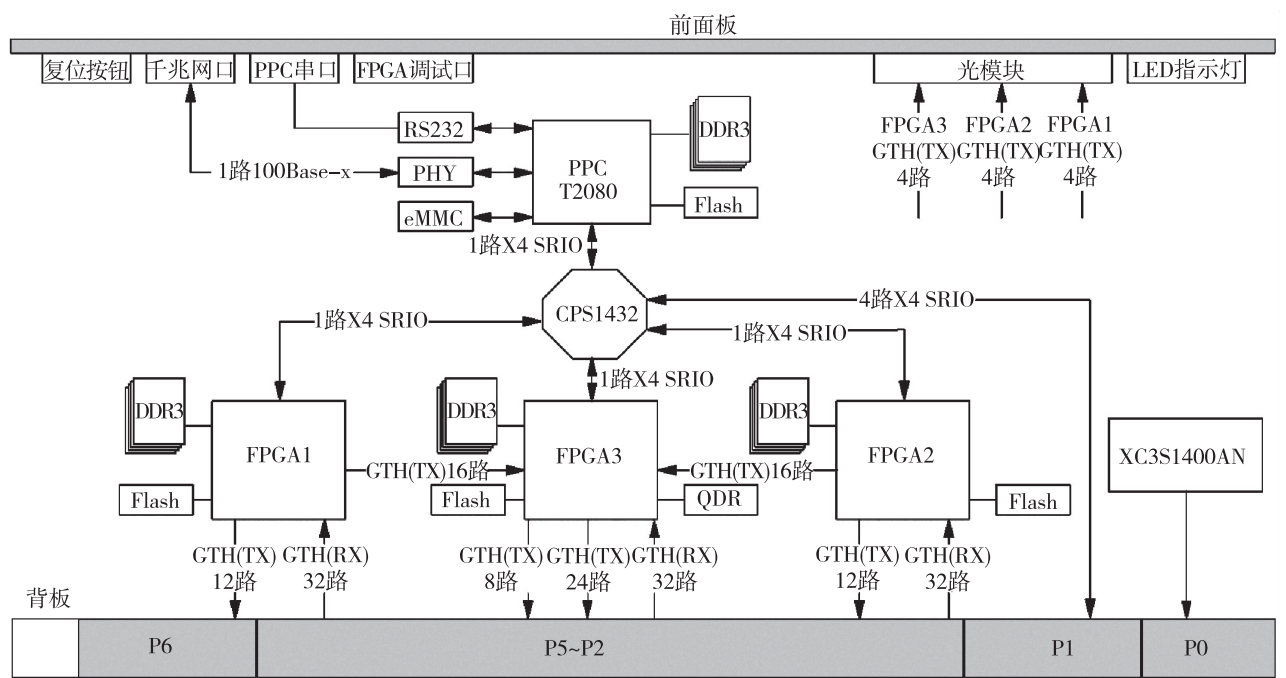


图 1 系统互连原理框图

Fig. 1 System interconnection principle block diagram

2 FPGA 设计

Virtex-7 系列 FPGA 作为业内高端高性能 FPGA 产品,在逻辑规模、串行 I/O 带宽、抖动性、收发器、DSP 性能和低功耗等方面表现突出^[5],可以减少整个嵌入式系统内器件使用的总数量,从而降低系统成本以及互连和设计方面的复杂度,在高速网络设备中得到了越来越广泛的应用^[6]。Xilinx 公司的 Virtex-7FPGA690T 芯片提供 3 600 个 DSPSlices,690 k 逻辑单元、600 个 IO 口。该芯片拥有 80 个 GTH 通道,其中每个 GTH 通道有一个 GTH (TX)发送模块和一个 GTH (RX)接收模块,收发最大速率可达 13.1 Gbps。该芯片还支持 Gen2SRIO 和最大 2 组 64 位 DDR3 控制器。

2.1 FPGA 功能及连接设计

基于 VPX 的多路高速互连处理系统中,FPGA 设计是关键技术之一。为了实现板间多路 10 Gbps 高速 GTH 信号通信,如 FPGA 功能框图(见图 2)所示,将板外信号通过 VPX 总线接入 FPGA 的 32 个 GTH 通道,再经过 GTH 通道选择模块和信道化算

法模块进行传输和处理。处理后的信号可通过 SRIO 交换技术传出板外,也可传入 PPC 进行数据处理或 CRT 逻辑仿真。系统中 OBC 的 Debug 模块连接 FPGA 的 4 个 GTH 通道可对 FPGA 进行主机端加载。板内信号通过 FPGA 的 4 个 GTH 发送模块传入光纤接口光模块,可供板外其他系统使用。

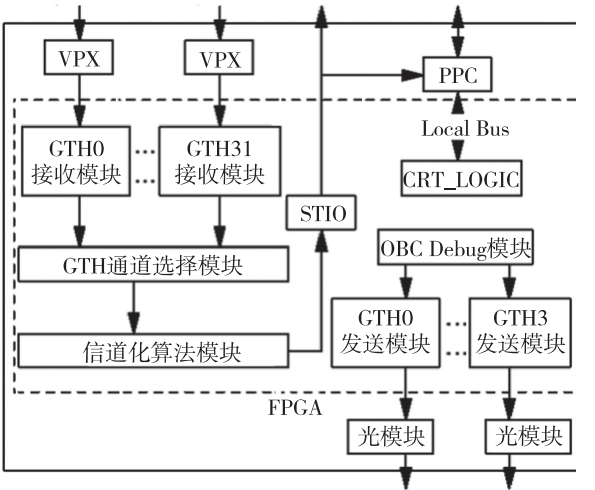


图 2 FPGA 功能框图

Fig. 2 FPGA functional block diagram

本系统选用 3 片该芯片进行互连(见图 1),再

与 SRIO 交换芯片和 VPX 总线连接器合理连接,设计细节如下:

- (1) 总共 56 路 GTH(TX)和 96 路 GTH(RX)连接到 VPX 接口,板内 32 路 GTH。其中,FPGA1 有 32 路 GTH(RX)连接到 VPX 连接器 P2 口,12 路 GTH(TX)连接到 P4 口,16 路 GTH(TX)连接到 FPGA3 芯片,4 路 GTH(TX)连接到光模块 SNAP12。FPGA2 有 32 路 GTH(RX)连接到 VPX 连接器 P3 口,12 路 GTH(T)连接到 P4 口,16 路 GTH(TX)连接到 FPGA3 芯片,4 路 GTH(TX)连接到光模块 SNAP12。FPGA3 有 32 路 GTH(RX)连接到 VPX 连接器 P5 口,32 路 GTH(TX)连接到 P6 口,16 路 GTH(RX)连接到 FPGA1 芯片,16 路 GTH(RX)连接到 FPGA2 芯片,4 路 GTH(TX)连接到光模块 SNAP12。各路传输速率可达 10 Gbps;
- (2) 每片 FPGA 挂接一组 64 位 DDR3 存储器,容量为 4 GB,速率 800 Mbps;
- (3) 每片 FPGA 外挂一片 NorFlash,容量为128 MB,用于存放系数;
- (4) 每片 FPGA 有一组 4xSRIO 连接到 CPS1432,速度可达到 5 Gbps;
- (5) 另外有一片 FPGA 外挂两片 18 位 QDR 存

储器,总位宽 36 位。

2.2 FPGA GTH 时钟设计

该模块大量使用 GTH 高速接口,为满足不同的应用场景,其接口也需满足不同速率配置需求,这就对 FPGA GTH 参考时钟的设计提出巨大的挑战。因为 Virtex-7 FPGA 提高了集成度,故其高速串行收发器不再独占一个单独的参考时钟,而是以 Quad 来对串行高速收发器进行分组^[7],1 个 COMMOM 和 4 个串行高速收发器组成 1 个 Quad,每个串行高速收发器称为 1 个 Channel。也即,1 个 Quad 包含 1 个时钟模块 CMT(Clock Management Tiles)、4 个频率范围为 1.65 GHz ~ 5.16 GH 的 Channel PLL (CPLL)和 1 个频率范围为 8.0 GHz ~ 13.1 GHz 的 Quad PLL(QPLL)。当 GTH 的线速度非常高,其 CPLL 的频率范围已无法满足需求时,QPLL 就配合其工作。每个 Quad 都有两个专用的差分参考时钟输入引脚(MGTREFCLK0 和 MGTREFCLK1)可以连接到外部时钟源。根据 Xilinx 设计资料以及设计软件提供的信息,对本系统上 FPGAGTH 时钟设计需求进行了统计如表 1 所示,最终确定 GTH 参考时钟 MGTREFCLK0 选择 125 MHz,MGTREFCLK1 选择 200 MHz,即可满足不同接口速率对时钟的需求。

表 1 GTH 接口数量时钟需求统计(单位:Hz)
Table 1 Statistics of clock requirements for the number of GTH interfaces (Hz)

		速率/Gbps									
		2	2.5	3.125	3.2	4	4.8	5	6.25	8	10
协议	CPLL	125/200M	125/200M	125M	200M	125/200M	200M	125/200M	125M	200M	200M
	QPLL	不支持	不支持	不支持	不支持	125/200M	150M	125/200M	125M	125/200M	125/200M

Xilinx FPGA 可满足高速同步电路对时钟触发沿的苛刻需求。对 FPGA 的设计而言,最好的时钟设计方案是采用专用的全局时钟输入引脚驱动单个全局时钟,并用后者去控制设计中的每个触发器。全局时钟资源作为专用的布线资源,其处于全铜布线层上,故使用全局时钟资源不会影响芯片的其他布线资源,可大量使用。Virtex-7 FPGA 690T 集成了专用时钟资源和时钟管理模块。它含有 20 个CMT,每个 CMT 由 MMCM(Mixed-Mode Clock Manager)混合时钟管理器和 PLL(Phase-Locked Loop)锁相环组成^[8]。每个 CMT 负责管理其所在 Quad 中的 4 个 CPPLL 和 1 个 QPLL。每个 CMT 需要通过 IBUFG 原语调用^[9]。每个 Quad 有两个外部差分参考时钟源,每个外部参考时钟的输入必须经过 IBUFDS_GTE2 原语之后才能使用。对于每一个

Quad 来说,可以选择两个不同的参考时钟,每一个 CHANNEL 的接收端和发送端都可以独立选择参考时钟。对于第一个外部参考时钟(MGTREFCLK0),将 IBUFDS_GTE2 输出连接到单个 Quad 的 COMMON 和 4 个 CHANNEL。类似地,对于第二个外部参考时钟(MGTREFCLK1),将 IBUFDS_GTE2 输出连接到这个 Quad 的 COMMON 和 4 个 CHANNEL。然后用户可以通过相关参数的设置动态选择参考时钟源,这种方式就能实现 GTH 多参考时钟设计。又因 Virtex-7 FPGA GTH 时钟具有共享能力,即 Quad(n-1)及 Quad(n+1)可以使用 Quad(n)的参考时钟作为其参考时钟,结合本系统的需求,在考虑 PCB 布局布线、减少晶振数量的原则下,对本系统的 3 片 FPGA GTH 共享时钟设计如图 3 和图 4 所示。

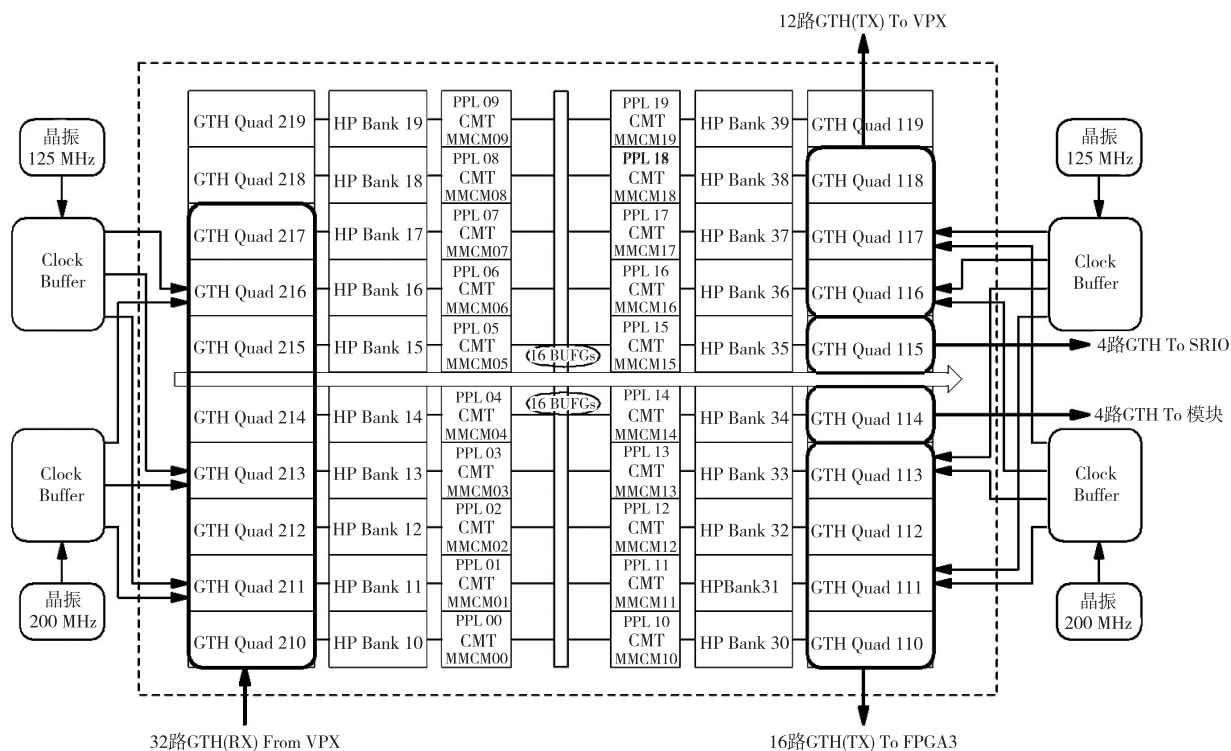


图 3 FPGA1 & FPGA2 GTH 时钟设计

Fig. 3 FPGA1 & FPGA2 GTH clock design

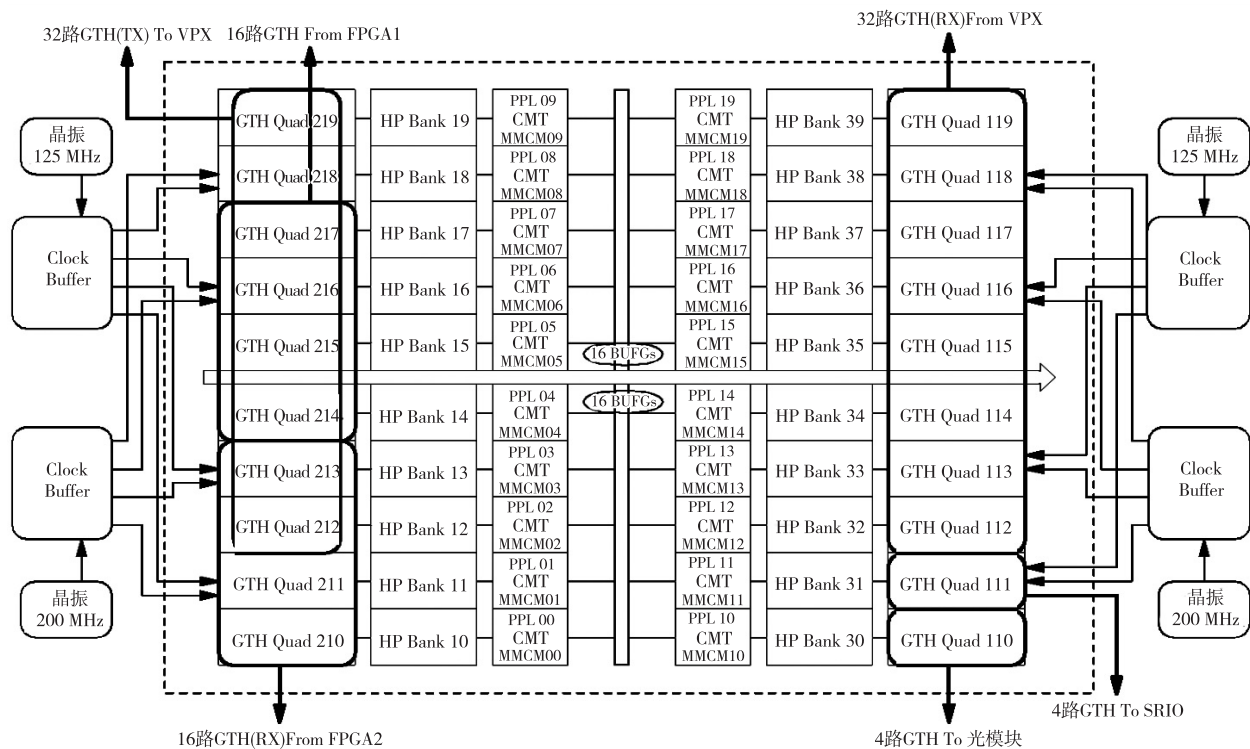


图 4 FPGA3 GTH 时钟设计

Fig. 4 FPGA3 GTH clock design

每片 FPGA 均由 4 片 125 MHz 的晶振^[10]和 4 个 Clock Buffer 来配合管理 GTH 时钟。将 FPGA1 和 FPGA2 的 Quad210 ~ 217 中的 32 路接收端口连接

至 VPX 连接器,Quad118 ~ 116 中的 12 路发送端口连接至 VPX 连接器,Quad115 和 114 中的 4 路发送端口分别连接至 SRIO 和光模块,Quad110 ~ 113 中

的 16 路发送端口连接至 FPGA3。将 FPGA3 的 Quad212 ~ 219 中的 32 路发送端口连接至 VPX 连接器, Quad214 ~ 217 中的 16 路发送端口连接至 FPGA1, Quad210 ~ 213 中的 16 路发送端口连接至 FPGA2, Quad112 ~ 119 中的 32 路接收端口连接至 VPX 连接器, Quad110 和 111 中的 4 路发送端口分别连接至光模块和 SRIO。从这种设计中能看出, FPGA3 中 GTH 的 Transceiver 存在复用的情况,即 GTH Quad 214 ~ 217 的 16 路接收端口连接至 FPGA1, 16 发送端口连接至 VPX 连接器; GTH Quad 212 ~ 213 的 8 路接收端口连接至 FPGA2, 8 发送端口连接至 VPX 连接器。目前,对 GTH 的 Transceiver 收发独立使用仅考虑速率一致的情况,同一 Transceiver 收发独立使用且速率不一致的情况待验证。

2.3 FPGA 主机端加载设计

如图 5 所示,本系统板载 FPGA1、FPGA2、FPGA3 均通过主机端加载方式实现逻辑代码加载。逻辑代码通过网络传输至 T2080, T2080 将数据通过 LB 总线经 OBC 下载至 Nor Flash,上电后, OBC 通过 FPGA1、FPGA2、FPGA3 (FPGA1、2、3 均配置为 Slave SelectMap 模式)的专用加载接口,将代码加载进 FPGA。

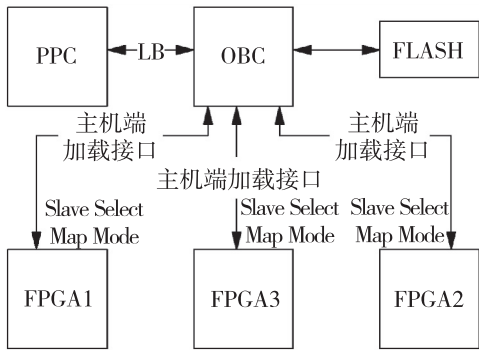


图 5 FPGA 主机端加载方式

Fig. 5 FPGA host-side loading method

3 FPGA 板内板间 GTH 测试

本文研制的信息处理系统的测试在实验室环境下进行。测试所需的设备包括 2 块信息处理待测系统板、1 台 CHASSIS-VPX-4U-A 测试机箱、1 台测试计算机、1 个 USB-RS232 串口、千兆交换机,标准的 RS232 转换成 mini 串口调试线缆、标准千兆网线以及 10GVPX 连接跳线。通过命令测试方法,本系统经过了主机端加载测试、存储测试、网络测试、

FPGA 板内板间 GTH 测试、FPGA DDR 测试、FPGA QDR 测试、Rapid IO 板内板间测试等共 16 项功能测试。此处仅介绍 FPGA 板内板间 GTH 测试。为了测试系统 FPGA 板内 GTH 是否工作正常,将系统板 PPC 与 3 片 FPGA 采用图 6 方式连接。PPC 通过串口发送一条指令,使 FPGA1 和 FPGA2 通过板内的 GTH(X16)不停地发送数据到 FPGA3, FPGA3 收到数据后,与本地数据进行比较。比较结果反馈给 PPC,并通过串口显示出来。为了测试系统 FPGA 板间 GTH 是否工作正常,将测试机箱插入两块待测系统板,将两块待测系统板通过 VPX 跳线互连起来,也即将一块系统板的 TX 接到另一块系统板的 RX(图 7)。由于跳线有限,故一次只能测 X8。板间 GTH 测试时,将 PPC 通过串口发送一条指令,使系统板 1 通过板间的 GTH 不停地接收系统板 2 发送的数据,系统板 1 收到数据后,与本地数据进行比较。比较结果反馈给 PPC,并通过串口显示出来。

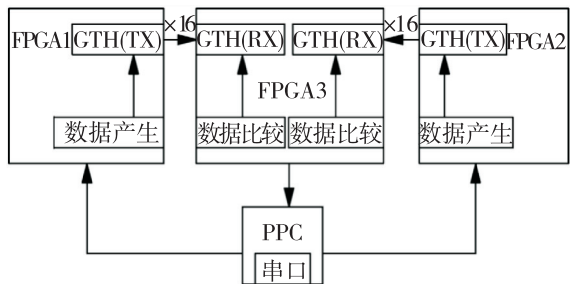


图 6 FPGA 板内 GTH 测试

Fig. 6 GTH test in FPGA board

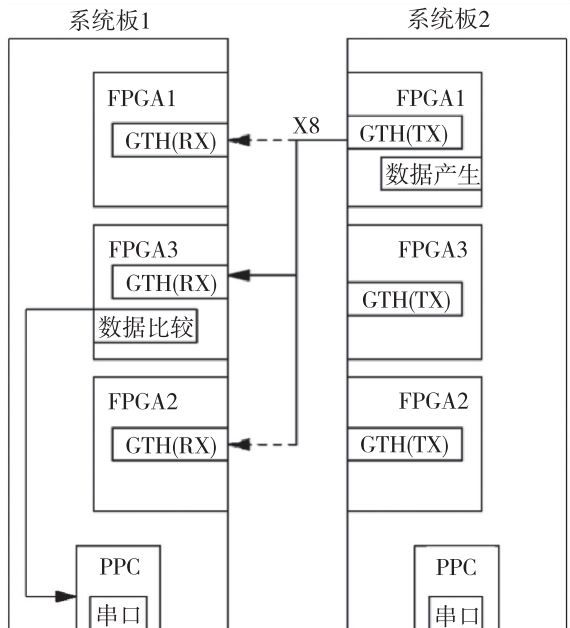


图 7 FPGA 板间 GTH 测试

Fig. 7 GTH test between FPGA boards

测试计算机可以通过系统 PCB 测试板与模块 SGMII 建立网络连接,4 路 4x SRIO 到 VPX 连接器 P1 口,4 路 4xSRIO 分别连到 3 片 FPGA 和 T2080 处理器,它们的速度均能达到 5 Gbps。系统板内 32 路 GHT ibert 测试结果如图 8 所示,可看出每路通道能正常通信,并且均能达到 10 Gbps 的数据传输速率。其他所有 FGPA GTH 的测试结果图与该图相似,也分别能看出 3 片 FPGA 每路 GTH 速率均可达 10 Gbps。此处不再提供全部测试结果图。

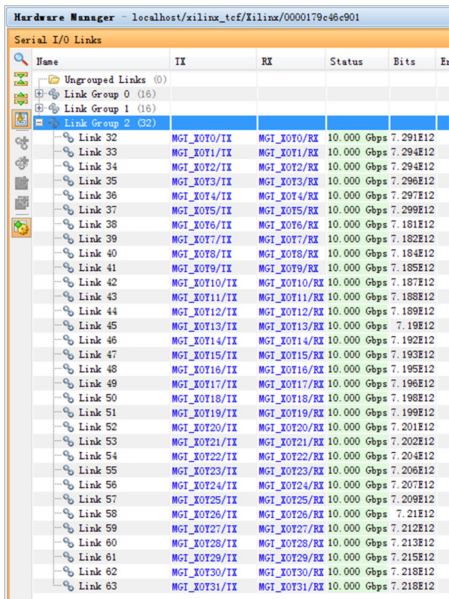


图 8 板内 32 路 GTH 测试结果

Fig. 8 32-channel GTH test results in the board

4 结束语

基于 VPX 的多路高速互连信息处理系统具有高带宽、高速率、低误码率数据传输能力。系统采用 VPX 结构标准和 SRIO2.1 总线,板载了 3 片 FPGA 芯片,通过严谨地设计和仿真,最后再加载测试。该系统在 6U 尺寸内很好地实现了板间 96 路 10 Gbps 高速数据信号接收、56 路 10 Gbps 高速数据信号发送、12 路 10 Gbps 高速数据光信号发送,板内 32 路 10 Gbps 高速数据信号互连。同时该系统 10 Gbps 数据传输通路可满足军工级苛刻环境应用要求。

参考文献 (References):

[1] LEE C H, ASAYESH R. Programmable Logic Device with

High-speed Serial Interface Circuitry: U S Patent 6,650, 140 [P]. 2003-11-18

[2] 杜旭,于洋,黄建. 基于 FPGA 的高速串行传输接口的设计与实现[J]. 计算机工程与应用, 2007, 43(12): 94—96

DU X, YU Y, HUANG J. Design and Implementation of High-speed Serial Transmission Interface Based on FPGA [J]. Computer Engineering and Application, 2007, 43(12): 94—96 (in Chinese)

[3] 王占超,张耀天. 一种基于 FPGA+DSP 的处理机硬件架构[J]. 太赫兹科学与电子信息学报, 2018, 16(5): 902—906

WANG Z C, ZHANG Y T. Hardware Architecture of Processor Based on FPGA+DSP Structure [J]. Journal of Terahertz Science and Electronic Information Technology, 2018, 16(5): 902—906 (in Chinese)

[4] 陈术涛,沈志,王春联,等. 多核 DSP 与 FPGA 高速数据传输系统设计与实现[J]. 电子技术应用, 2018, 44(12): 40—43

CHEN S T, SHEN Z, WANG C L, et al. Design and Implementation of High Speed Data Transfer System between Multi-core DSP and FPGA [J]. Application of Electronic Technique, 2018, 44(12): 40—43 (in Chinese)

[5] 蒲恺,唐庆,田园. 基于 IP 核的 PCIE 总线接口逻辑的设计与实现[J]. 航空计算技术, 2017, 47(1): 116—120

PU K, TANG Q, TIAN Y. Designing and Implementation Based on IP Core of Interface Logic for PCI Express [J]. Aeronautical Computing Technique, 2017, 47(1): 116—120 (in Chinese)

[6] 孙进平,王俊,李伟,等. DSP/FPGA 嵌入式实时处理技术及应用[M]. 北京:北京航空航天大学出版社, 2011

SUN J P, WANG J, LI W, et al. DSP/FPGA Embedded Real-time Processing Technology and Application [M]. Beijing: Beihang University Press, 2011 (in Chinese)

[7] 王振,李建宏,张大松,等. 基于 FPGA 的 VPX 时间统一系统设计[J]. 测控技术与仪器仪表. 2018, 44(1): 65—67

WANG Z, LI J H, ZHANG D S, et al. VPX Time Unified System Design Based on FPGA [J]. Measurement Control Technology and Instruments. 2018, 44(1): 65—67 (in Chinese)

[8] 靳蕴瑜. 基于 FPGA 的高速数据互连模块设计与应用

[D]. 成都:电子科技大学,2018;59—62

JIN Y Y. Design and Application of High Speed DataInterconnect Module Based on FPGA[D]. Chengdu: University of Electronic Science and Technology of China, 2018;59—62(in Chinese)

[9] 孔维刚,陈长胜,张旭. Virtex-7 FPGA DDR3 电路的设计与仿真研究[J]. 航空计算技术 .2018, 48(4): 93—96

KONG W G, CHEN C S, ZHANG X. Design and Simulation of Virtex-7 FPGA DDR3 Circuit [J]. Aeronautical Computing Technique. 2018,48(4):93—96 (in Chinese)

[10] 孙发. 基于 FPGA 的综合航电互连体系结构设计[J]. 机械设计 .2018,35(1):37—39

SUN F. FPGA-based Integrated Avionics Interconnection Architecture Design [J]. Journal of Machine Design. 2018,35(1):37—39(in Chinese)

Multi-channel High-speed Interconnect Information Processing System and FPGA Implementation

GUO Jing^{1,2}

- (1. School of Artificial Intelligence, Chongqing Technology and Business University, Chongqing 400067, China;
2. Chongqing Engineering Laboratory for Detection, Control and System, Chongqing 400067, China)

Abstract:In the field of complex embedded computing, the speed and scale requirements of multi-channel data transmission are getting higher and higher. The overall principle design of a multi-channel high-speed interconnect information processing system is presented. The core components of the system are three FPGAs, one PPC and one SRIO. In order to realize multi-channel 10Gb high-speed signal communication inside and between boards, the system uses a large number of high-speed transceivers of high-performance FPGAs to carry out reasonable functional design, GTH clock design and host-side loading design. The FPGA GTH test inside and between the boards shows that the system can achieve the receiving of 96-channel 10G high-speed data signals from other boards, send 56-channel 10G high-speed data signals and 12-channel 10G high-speed optical signal data, and interconnect 32-channel 10G high-speed data signals in the board. This system has the characteristics of high integration, high bandwidth and high speed. After experimental tests, its performance is stable and it has good practical results.

Key words:multi-channel;high-speed interconnect;FPGA;GHT

责任编辑:罗姗姗

引用本文/Cite this paper:

郭静. 多路高速互连信息处理系统及其 FPGA 实现[J]. 重庆工商大学学报(自然科学版),2020,37(6):19—25

GUO J. Multi-channel High-speed Interconnect Information Processing System and FPGA Implementation[J]. Journal of Chongqing Technology and Business University (Natural Science Edition),2020,37(6):19—25