

doi:10.16055/j.issn.1672-058X.2020.0004.008

FPGA+SRIO+VPX 架构的多路高速互连信息处理系统实现*

郭 静^{1,2}

(1. 重庆市检测控制集成系统工程实验室,重庆 400067;2. 重庆工商大学 人工智能学院,重庆 400067)

摘 要:针对国防、军工等领域对数据带宽、传输速率、通道数量和数据运算处理速度等要求不断提高的现状,设计了高集成度的复合架构的多路高速互连信息处理系统;该系统利用多片 FPGA 的 GHT 高速接口用于接口连接与信息处理,采用 SRIO 交换技术用于板内外高速互连,通过 VPX 接口与系统组成数据传输网络,以实现数据传输和处理的高效结合;还进行了系统软件架构试,表明该系统在 6U 尺寸内实现了板间 96 路 10 Gbps 高速数据信号接收、56 路 10 Gbps 高速数据信号发送、12 路 10 Gbps 高速数据光信号发送,板内 32 路 10 Gbps 高速数据信号互连;系统 10 Gbps 多路数据传输通路能满足军工级苛刻环境应用要求,其多路 10 Gbps 数据传输能力在国内军工模块电路中处于国内领先、国际先进水平。

关键词:多路;高速互连;SRIO;VPX;FPGA

中图分类号:TP332

文献标志码:A

文章编号:1672-058X(2020)04-0046-06

1 系统硬件设计

科技的飞速发展使得国防、军工等领域的数据量呈爆炸式增长,海量的数据流对信息处理系统的运算处理速度、数据带宽、传输速率和通道数量等不断提高要求,芯片间和板卡间的数据处理传输速度逐渐成为限制系统性能的关键性因素。传统的信息处理及传输系统通常以多个功能模块组合而成,其集成度较低、设备量较大、单模块数据处理能力较弱、模块间数据传输速率较低^[1]。本研究旨在满足国防、军工等领域对高性能接口连接与信息处理的需要,开发高集成度的复合架构的多路高速互连信息处理系统。该系统采用 FPGA+SRIO+VPX 架构,提供多路高速 GHT 信息以及多路千兆网络接

口实现模块板内外的高速数据交互,具有处理能力强、数据吞吐量大的特点。该系统可广泛应用于通信、雷达、声呐、电子对抗等实际领域。

FPGA+SRIO+VPX 架构的多路高速互连信息处理系统硬件设计包括系统互连架构设计、处理器设计、FPGA 设计、SRIO 设计、OBC 设计、网络设计等方面,由于篇幅有限,本文仅简述其中部分关键设计方案。

2 系统互连架构设计

本系统的核心组件采用 3 片 Xilinx[®]公司 Virtex-7 FPGA 用于接口连接与信息处理,1 片飞思卡尔 T2080 高性能 PowerPC 处理器用于系统控制及数据处理,同时使用 1 片第二代 SRIO 交换芯片

收稿日期:2019-09-06;修回日期:2019-10-22.

* 基金项目:国家留学基金资助(201908505096).

作者简介:郭静(1978—),女,四川武胜人,讲师,硕士,从事嵌入式开发研究.

CPS1432,用于板内外高速互连,通过VPX接口与系统组成数据传输网络,以实现数据传输和处理的高效结合。此FPGA芯片功能强大、资源丰富,在本设计中实现的主要功能是板间10 Gbps高速GTH信号通信。Power PC配置了1通道DDR3 SDRAM,大大提高了处理性能,还设计了1路4x SRIO到CPS1432芯片交换,速度可达到5 Gbps,从而也提高板内各芯片之间的通信能力。系统还设计了3路千兆网络接口用于测试和数据传输,其中1路1000Base-T到前面板,2路1000Base-X到VPX接口。系统的各个主芯片均连接4 GB的DDR3,扩展了板载内存,各个主芯片还连接了128 MB的NorFlash,用于数据处理和重要信息存储,极大地扩展了系统的存储器容量以满足不同的应用需求。系统背板采用6 U尺寸的VPX20连接器,系统前面板使用J63-31连接器,主要用于FPGA_JTAG调试以及min串口与网络支持PPC调试,前面板还设计了8个LED指示灯,用于反应系统工作状态。在板上控制器(OBC)方面,系统采用Xilinx®公司XC3S1400AN芯片来管控整板工作状态以及做3片FPGA的主机端加载。整个系统互连架构设计如图1所示。

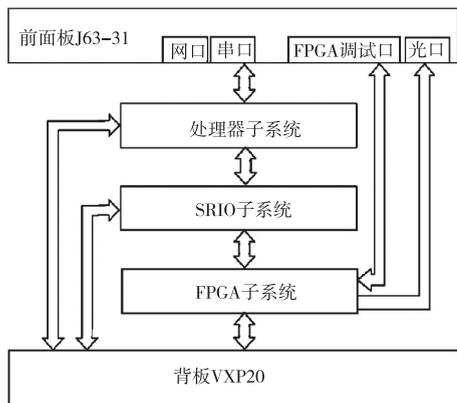


图1 系统互连架构框图

Fig. 1 System interconnection architecture block diagram

3 处理器设计

本系统采用基于Power Architecture架构的高性能处理器T2080。该芯片具有4个双线程内核,总共8个线程。可用于数据中心、WAN优化控制器,应用交付控制器、路由器、交换机、网关、应用和存

储服务器以及通用嵌入式计算系统中的组合控制,数据路径和应用层处理。T2080内部还有2 MB L2 cache,速度可达到1 333 MT/s的64-bit DDR3以及16个最高可达10 GHz的SerDes lanes。T2080支持众多协议,包括SRIO(2.0)、PCIE(2.0/3.0)、SATA(2.0)、Higig、XAUI、SGMII、XFI、Aurora等。

本系统中T2080主要用作控制平面或集成的控制和数据平面处理器。它将内核处理能力、SerDes带宽、缓存大小和以太网连接性能提高了两倍以上,同时功耗处于相近的水平^[2]。系统基于VITA组织制定的用以满足恶劣环境下高带宽、高可靠性要求的下一代高级计算系统的VPX架构设计。这种设计在提供高带宽的同时也满足了军工级恶劣环境下的应用需求。本系统中处理器子系统主要细节如下:(1)处理器配置1通道DDR3 SDRAM,容量4 GB,位宽64位,频率不小于667 MHz,还连接了M.2 SSD存储器,极大地扩展了系统的存储器容量以满足不同的应用需求;(2)从处理器出3路千兆网,1路1000BASE-T到前面板,2路1000BASE-X到VPX接口;(3)设计1路4x SRIO到CPS1432交换,速度可达到5 Gbps;(4)处理器连接1片eMMC存储器,容量不小于8 GB,读写速率不小于1 MB/s。处理器子系统原理框图如图2所示。

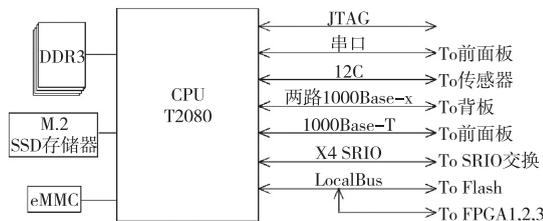


图2 处理器子系统原理框图

Fig. 2 Processor subsystem block diagram

4 FPGA设计

采用FPGA实现授时、分频,产生时间信号和各种同步信号,可以使接口系统集成度更高,可维护性更强^[3]。Xilinx®公司的Virtex-7 FPGA作为业界高端高性能FPGA产品,具有高性能、高容量、可移植性强、低功耗、低成本等优点。它是业界集成密度较高的FPGA,内含200万个逻辑单元;通过

EasyPath-7 器件将成本降低了 35% ;支持 400G 桥接和交换结构有线通信系统,也支持高级雷达系统和高性能计算机系统,能够满足新一代测试测量设备的逻辑密度、性能和 I/O 带宽要求,能够实现新一代 100 GE 线卡、300G 桥、兆兆位级交换机结构、100 GB OTN 波长转换器、雷达和 ASIC 仿真。Virtex-7 FPGA 主要应用在无线基础设备、便携式超声波设备以及新一代有线换入设备,同时还应用在数码单反相机、3D TV 平板显示器以及高性能计算等领域^[4]。

FPGA 子系统设计是本系统的关键技术之一,为了实现 10 GB 的板间高速信号通信,FPGA 子系统采用 3 片 Virtex-7 FPGA 芯片进行互连,设计细节如下:每片 FPGA 挂接一组容量为 4 GB 的 64 位

DDR3 存储器以及一片容量为 128 MB 的 FLASH 来用于存放系数;每片 FPGA 有 1 组 4xSRIO 连接到 CPS1432;FPGA1 有 32 路 GTH 连接到 VPX 连接器 P2 口,12 路 GTH 连接到 P4 口,16 路 GTH 连接到 FPGA3 芯片,4 路 GTH 连接到光口 SNAP12;FPGA2 有 32 路 GTH 连接到 VPX 连接器 P3 口,12 路 GTH 连接到 P4 口,16 路 GTH 连接到 FPGA3 芯片,4 路 GTH 连接到光口 SNAP12;FPGA3 有 32 路 GTH 连接到 VPX 连接器 P5 口,32 路 GTH 连接到 P6 口,16 路 GTH 连接到 FPGA1 芯片,16 路 GTH 连接到 FPGA2 芯片,4 路 GTH 连接到光口 SNAP12。另外外挂两片 QDR,位宽 32 位。FPGA 子系统原理框图如图 3 所示。

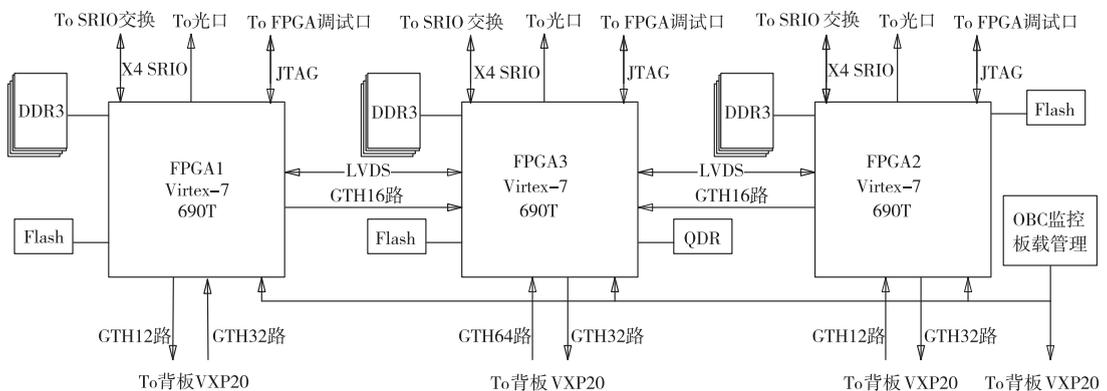


图 3 FPGA 子系统原理框图

Fig. 3 FPGA subsystem principle block diagram

5 SRIO 设计

SRIO(Serial Rapid I/O)作为面向嵌入式系统开发的新一代高速互连技术具有高可靠、高性能、基于包交换等特点。它面向串行背板、DSP 和相关串行数据平面并连接应用。它包含物理层、传输层、逻辑层^[5]3 层结构协议。物理层定义电气特性、链路控制、低级错误管理;传输层定义包交换、路由和寻址机制;逻辑层定义总体协议和包格式。SRIO 具有 1.25 Gbps、2.5 Gbps、3.125 Gbps 3 种可选速度用来满足不同的应用需求。SRIO 引脚少、成本低,便于器件之间的互连,可以满足高性能嵌入式系统芯片间及板间互连对带宽、成本、灵活性和可

靠性越来越高的要求。SRIO 总线技术使得军用和航空嵌入式计算机系统得到更高的性能,同时能减少系统成本和重量,是未来十几年中嵌入式系统互联的最佳选择之一^[6]。

SRIO 子系统选用 IDT 第二代交换芯片 CPS1432,芯片提供 14 Ports(32 Lanes),支持 SRIO Gen1、Gen2,支持 X1、X2、X4 端口宽度,通道速率支持 1.25、2.5、3.125、5、6.25 Gbaud。将 CPS1432 其中 4 路 4x SRIO 连到 VPX 连接器 P1 口,4 路 4xSRIO 分别连到 3 片 FPGA 和 T2080 处理器。如图 4 所示,这种设计方案实际使用中可以将每个端点和交换芯片都各自独立成一个板卡,最后插到 VPX 连接器中实现板到板高速互连通信。

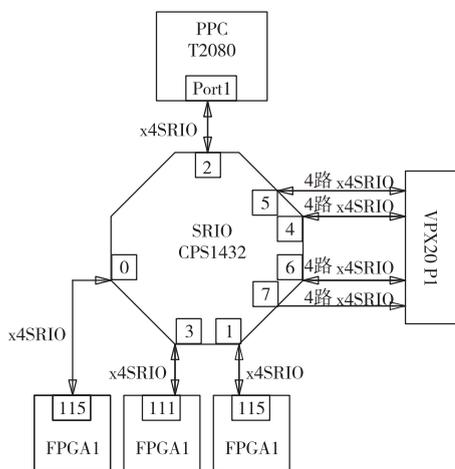


图 4 SRIO 子系统原理框图

Fig. 4 SRIO subsystem principle block diagram

6 软件设计

VxWorks 嵌入式实时操作系统由美国 WindRiver 公司设计开发,是嵌入式开发环境的关键组成部分^[7]。它具有高性能的内核、良好的持续发展能力以及友好的用户开发环境等特点,在嵌入式实时操作系统领域占据一席之地。该操作系统采用一个相当小的微内核的层次结构,具有多任务间同步、多任务调度、中断处理、进程间通信、定时器和内存管理机制等功能。由于良好的可靠性和卓越的实时性,该系统广泛地应用在国防、军工等高精尖技术及实时性要求极高的领域中,如军事演习、卫星通讯、飞机导航、弹道制导等。

本系统搭载 VxWorks 6.9 操作系统。系统软件设计为目标机软件和主机端开发管理软件。软件系统架构如图 5 所示。在整个系统软件开发中, BSP 开发起到至关重要的作用^[8]。根据本系统的实际需要,将开发的 BSP 程序分为以下几部分: CPS1432 驱动、网络驱动、SRIO 总线交换器路由表配置、SRIO 总线初始化等与 SRIO 总线及交换相关的 BSP 程序。主控制模块的主要功能除了系统设备初始化和应用层软件初始化,还包含上电机内自检和实时机内自检功能。上电机内自检的目的是通过系统监控总线和调试接口报告主处理器结温,电源电压监控信息和主要硬件资源自检结果。其涉及的主要硬件资源包括主处理器、DDR3 存储器、SRIO 总线、GTH 总线和 OBC。而实时机内自检的目的是通过系统监控总线报告主处理器结温,电源

电压监控信息和 SRIO 总线工作状态。

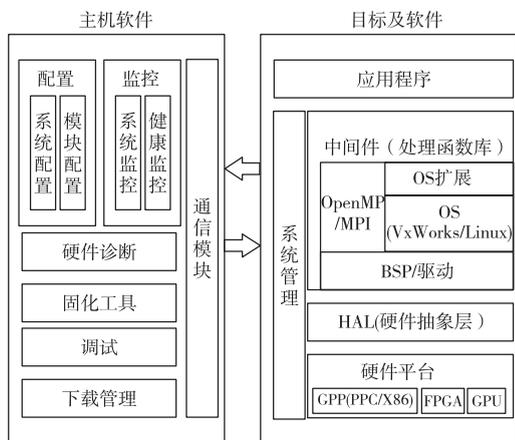


图 5 软件系统架构图

Fig. 5 Software system architecture diagram

7 系统测试

本文研制的信息处理系统的测试在实验室环境下进行。测试所需的设备包括 2 块信息处理系统 PCB 测试板、1 台 CHASSIS-VPX-4U-A 测试机箱、1 台测试计算机、1 个 USB-RS232 串口、千兆交换机,标准的 RS232 转换成 mini 串口调试线缆、标准千兆网线以及 10GVPX 连接跳线。将测试机箱插入两块待测系统 PCB 测试板,两块系统 PCB 测试板的 GTH 需要通过 VPX 高速跳线互连起来,即将一块系统 PCB 测试板的 TX 接到另一块系统 PCB 测试板的 RX。由于跳线有限,故一次只能测 X8。此外测试前还需连接好所有测试用电缆,包括串口、网口,如图 6 所示。

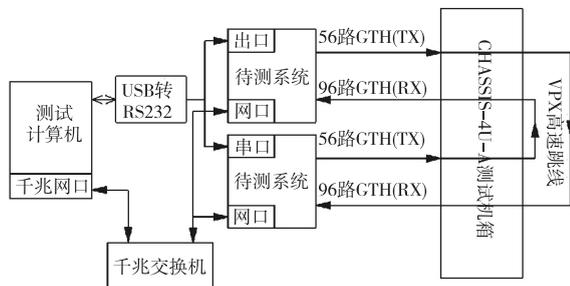


图 6 测试框图

Fig. 6 Test block diagram

通过命令测试方法,经过主机端加载测试、存储测试、FPGA 测试、系统互连等方面的测试,测试计算机可以通过系统 PCB 测试板与模块 SGMII 建立网络连接,4 路 4x SRIO 到 VPX 连接器 P1 口,4 路 4xSRIO 分别连到 3 片 FPGA 和 T2080 处理器,它们的速度均能达到 5 Gbps。GTH 速率可达 10 Gbps。部分 GTH 测试结果如图 7 所示。

Name	TX	RX	Status	Bits
Ungrouped Links (0)				
Link Group 0 (4)				
Link 0	MGT_X1Y24/TX	MGT_X1Y24/RX	No Link	5.712E12
Link 1	MGT_X1Y25/TX	MGT_X1Y25/RX	No Link	5.714E12
Link 2	MGT_X1Y26/TX	MGT_X1Y26/RX	No Link	5.717E12
Link 3	MGT_X1Y27/TX	MGT_X1Y27/RX	No Link	5.72E12
Link Group 2 (8)				
Link 12	MGT_X0Y16/TX	MGT_X1Y28/RX	10.000 Gbps	1.702E12
Link 13	MGT_X0Y17/TX	MGT_X1Y29/RX	10.000 Gbps	1.706E12
Link 14	MGT_X0Y18/TX	MGT_X1Y30/RX	10.000 Gbps	1.708E12
Link 15	MGT_X0Y19/TX	MGT_X1Y31/RX	10.000 Gbps	1.71E12
Link 16	MGT_X0Y20/TX	MGT_X1Y32/RX	10.000 Gbps	1.713E12
Link 17	MGT_X0Y21/TX	MGT_X1Y33/RX	10.000 Gbps	1.716E12
Link 18	MGT_X0Y22/TX	MGT_X1Y34/RX	10.000 Gbps	1.719E12
Link 19	MGT_X0Y23/TX	MGT_X1Y35/RX	10.000 Gbps	1.721E12

图 7 部分 GTH 测试结果

Fig. 7 Part of the GTH test results

经过严格测试,基于 VPX 的多路高速互连信息处理系统工作的环境温度范围为 $-40^{\circ}\text{C} \sim +55^{\circ}\text{C}$ 。全部采用工业级以上元器件,贮存温度都能满足 $-55^{\circ}\text{C} \sim +70^{\circ}\text{C}$ 的要求。主芯片 690T 和 T2080 功耗较大,单片功耗可达 25 W,是影响系统散热效果的主要因素。3 片 690T 合理放置,保证了主芯片最佳的传导散热效果。通过热仿真热设计保证信息处理系统能够适应工作环境要求。采用结构加固措施,具有较好的抗震性能。采取防潮、防霉、防盐雾的三防漆对系统进行三防处理,使系统满足湿热、霉菌、盐雾等恶劣环境的要求^[9]。采用屏蔽、接地、滤波、去耦等技术,来抑制电磁干扰,降低电磁辐射。系统 PCB 设计选层、器件布局、布线满足高速信号线阻抗控制要求,通过仿真设计优化,减少谐振、串扰、电源波动对高速信号质量的影响,确保系统的电磁兼容性,满足稳定性要求^[10]。芯片间互连的最高波特率达 10 Gbps 以上,板间互连的最高波特率也达到了 10 Gbps,已接近 FR4 的极限。高速 PCB 设计中的 SI、PI 和 EMC 问题还进行了仿真处理,保证性能或系统工作稳定。

8 结束语

综上所述,FPGA+SRIO+VPX 架构的多路高速互连信息处理系统具有高带宽、高速率、低误码率数据传输能力。系统板载了共 14 GB 的 64 bit DDR3、8 GB 的 eMMC 以及多片 Nor Flash 用于数据处理和重要信息存储;提供了 1000 Base-T、J63A、J30J 等接口以实现产品的功能调试、信息打印、系统加载等管理任务。它采用 VPX 结构标准和 SRIO2.1 总线,可与具有 SRIO2.1 总线及以下并采用相同结构标准的模块组合应用。信息处理系统在 6U 尺寸内实现了板间 96 路 10 Gbps 高速数据信

号接收、56 路 10 Gbps 高速数据信号发送、12 路 10 Gbps 高速数据光信号发送,板内 32 路 10 Gbps 高速数据信号互连。同时该系统 10 Gbps 数据传输通路满足军工级苛刻环境应用要求。其多路 10 Gbps 数据传输能力在国内军工模块电路中处于国内领先、国际先进水平。该系统已经在多通道通信、实时 SAR 雷达成像等多个工程项目中得到应用验证。

参考文献 (References):

- [1] 王锐, 翟刚毅等. 一种基于 VPX 标准的侦测雷达信号处理系统设计方法[J]. 雷达与对抗, 2016, 36(2), 22—25, 29
WANG R, ZHAI G Y. Design of Signal Processing System of Reconnaissance and Detection Radar Based on VPX Standard[J]. Radar and Confrontation, 2016, 36(2), 22—25, 29(in Chinese)
- [2] 王浩宇. 基于 T2080 处理器的数据处理平台设计[J]. 机电产品开发与创新, 2016, 29(5): 80—83
WANG H Y. Design of Data Processing Platform Based on T2080 Processor [J]. Development & Innovation of Machinery & Electrical Products, 2016, 29(5): 80—83 (in Chinese)
- [3] 杨阳, 刘剑, 蒋迺倜, 等. 一种基于 FPGA 的万兆光纤以太网高速传输方法[J]. 雷达与对抗, 2015, 35(3): 23—27
YANG Y, LIU J, JIANG N T, et al. A 10Gigabit BASE-R Ethernet High-speed Transmission Method Based on FPGA[J]. Radar and Confrontation, 2015, 35(3): 23—27 (in Chinese)
- [4] 孔维刚, 陈长胜, 张旭. Virtex-7 FPGA DDR3 电路的设计与仿真研究[J]. 航空计算技术, 2018, 48(4): 93—96
KONG W G, CHEN C S, ZHANG X. Design and Simulation of Virtex-7 FPGA DDR3 Circuit [J]. Aeronautical Computing Technique, 2018, 48(4): 93—96

- (in Chinese)
- [5] 张健,林锡龙,谢江波. CPS1432 交换芯片的串行 RapidIO 互连技术[J]. 单片机与嵌入式系统应用, 2014,(12):31—34
ZHANG J, LIN X L, XIE J B. Serial RapidIO Interconnect Technology of CPS1432 Switch Chip[J]. Microcontrollers&Embedded Systems, 2014,(12):31—34(in Chinese)
- [6] 李静静,张楠. 基于 SRIO 交换芯片的 DSP 接口设计[J]. 火控雷达技术, 2019,48(2):43—46
LI J J, ZHANG N. Design of a DSP Interface Based on SRIO Switch Chips[J]. Fire Control Radar Technology, 2019,(12):31—34(in Chinese)
- [7] 袁从周. 基于 VxWorks 驱动程序可重用软件技术研究[J]. 工业控制计算机, 2019,32(6):4—5+8
YUAN C Z. Design Technology on Drivers Reusable Software Based on VxWorks[J]. Industrial Control Computer, 2019,32(6):4—5,8(in Chinese)
- [8] 杨坤. Vx Works 系统的 BSP 设计探讨[J]. 科技与信息, 2019(7):166
YANG K. Discussion on BSP Design of Vx Works System[J]. Technology and Information, 2019(7):166(in Chinese)
- [9] 鲜飞,刘江涛. 电子制造业中的三防涂覆技术[J]. 电子工艺技术, 2015,36(5):278
XIAN F, LIU J T. Protection and Coating Technology of PCBA in Electronic Assembly Field[J]. Electronics Process Technology, 2015,36(5):278(in Chinese)
- [10] 马进峰. 高速互连的信号完整性仿真分析[D]. 杭州: 杭州电子科技大学, 2013
MA J F. Signal Integrity Simulation and Analysis of High-speed Interconnect[D]. Hangzhou: Hangzhou Dianzi University, 2013(in Chinese)

Implementation of Multi-channel High-speed Interconnect Information Processing System Based on FPGA+SRIO+VPX Architecture

GUO Jing^{1,2}

(1. Chongqing Engineering Laboratory for Detection, Control and System, Chongqing 400067, China;
2. School of Artificial Intelligence, Chongqing Technology and Business University, Chongqing 400067, China)

Abstract: Aiming at the current situation of the increasing of data bandwidth, transmission rate, number of channels and data processing speed in the fields of national defense and military industry, a multi-channel high-speed interconnect information processing system with highly integrated composite architecture is designed. The system utilizes multi-chip FPGA GHT high-speed interface for interface connection and information processing, SRIO switching technology for high-speed interconnection inside and outside the board, and VPX interface and system to form a data transmission network to achieve efficient combination of data transmission and processing. The system software architecture is designed and developed. Tests show that the system realizes 96-channel 10 Gbps high-speed data signal reception, 56-channel 10 Gbps high-speed data signal transmission, 12-channel 10 Gbps high-speed data optical signal transmission in the 6U size, and 32-channel 10 Gbps high-speed data signal interconnection in the board. The system's 10 Gbps multi-channel data transmission paths can meet the requirements of military-grade harsh environment applications, and its multi-channel 10 Gbps data transmission capability is at the domestic leading and international advanced level in the domestic military module circuit.

Key words: multi-channel; high-speed interconnect; SRIO; VPX; FPGA

责任编辑:罗姗姗

引用本文/Cite this paper:

郭静. FPGA+SRIO+VPX 架构的多路高速互连信息处理系统的实现[J]. 重庆工商大学学报(自然科学版), 2020,37(4): 46—51

GUO J. Implementation of Multi-channel High-speed Interconnect Information Processing System Based on FPGA+SRIO+VPX Architecture[J]. Journal of Chongqing Technology and Business University (Natural Science Edition), 2020,37(4):46—51