

文章编号:1672-058X(2013)05-0043-05

基于 FPGA 与 PC/104 总线的 SPI 接口设计*

汤代斌, 朱卫民

(1. 安徽机电职业技术学院 电气工程系, 芜湖 241000; 2. 马鞍山恒瑞测量设备有限公司, 马鞍山 243000)

摘要:为满足嵌入式工业控制计算机通过 PC/104 总线实现对具有 SPI 接口的程控放大器控制的需要,在研究了 PC/104 总线和 SPI 总线通信协议的基础上,首先介绍了 SPI 总线和 PC/104 总线的结构和工作时序;提出基于 FLASH 架构 FPGA 芯片的 PC/104 总线转 SPI 总线接口设计方案,给出了 SPI 控制状态机的设计思路,并用 ModelSim 仿真软件进行了仿真验证,最后通过仿真和实验验证了设计方案的正确性和可行性。

关键词: SPI 接口; PC/104 总线; FPGA; 接口设计

中图分类号: TP351

文献标志码: A

具有 SPI 接口的程控放大器在工业控制领域中的应用越来越广泛。工业 X-射线测厚仪高压电源输出电压的控制及射线检测电路信号增益的控制均采用带 SPI 接口的程控放大器 MAX532 等器件。现有的嵌入式工业控制计算机中仅有面向 EEPROM、Flash RAM 等存储设备的 SPI 接口,这种 SPI 接口不能满足程控放大器控制的要求,因此需要将嵌入式工业控制计算机的 PC/104 总线转换为与程控放大器控制要求相适应的 SPI 接口。FPGA 是在 PAL、GAL、PLD 等可编程器件的基础上进一步发展的产物,具有设计周期短、可重复编程、灵活性强等特点。用 FPGA 设计的 SPI 总线具有扩展性强、便于修改等优点,能充分发挥 FPGA 的应用优势。

1 SPI 总线的结构和时序

1.1 SPI 总线的结构

串行外设接口 SPI(Serial Peripheral Interface)是一种由 Motorola 公司推出的同步串行数据接口。SPI 总线只需 4 根信号线就可以完成主、从与各种外围器件全双工同步通讯。4 根信号线分别是串行时钟线(SCK)、主机输入/从机输出数据线(MISO)、主机输出/从机输入数据线(MOSI)、低电平有效从机选择线(CS)。

1.2 SPI 总线的时序

SPI 系统可分为主机设备和从机设备两类,其中主机提供 SPI 时钟信号和片选信号;从机是接收 SPI 信号的任何集成电路或其他 MCU。SPI 设备不论是工作在主机模式下还是从机模式下,都要在时钟极性(CPOL)和时钟相位(CPHA)的配合下才能有效地完成一次数据传输。其中,时钟极性表示时钟信号在空闲时的电平;时钟相位决定数据是在 SCK 的上升沿采样还是下降沿采样。根据时钟极性和时钟相位的不同组

收稿日期:2012-10-25;修回日期:2012-12-06.

* 基金项目:安徽省高校省级自然科学基金项目(KJ2011Z047).

作者简介:汤代斌(1970-),男,安徽当涂县人,讲师,从事电气自动化控制和电能变换与控制研究.

合, SPI 总线有 4 种不同工作模式, 如图 1 所示。

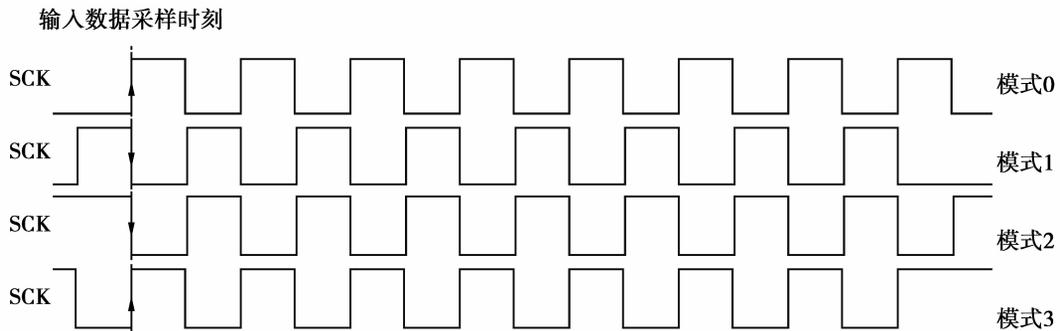


图 1 SPI 总线的四种工作模式

SPI 总线工作在模式 0 和模式 1 时, $CPOL = 0$, SCK 的空闲电平为低; 模式 2 和模式 3 时, $CPOL = 1$, SCK 的空闲电平为高。CPHA = 0 时, 数据在串行同步时钟的第一个跳变沿时被采样; CPHA = 1, 数据在串行同步时钟的第二个跳变沿被采样。由于每一种模式都与其他三种不兼容, 因此为完成主、从设备间的通讯, 主、从设备的 CPOL 和 CPHA 必须进行相同的设置。此外还需要注意字节在串行数据线上的传送顺序, 即 MOSI 和 MISO 上是高比特还是低比特首先传输。图 2 以高比特首先传输为例给出 SPI 模式 0 的工作时序。



图 2 SPI 模式 0 的工作时序图

2 PC104 总线及时序

PC/104 是近年来在国际上广泛流行专门为嵌入式控制而定义的一种工业计算机总线标准。PC/104 信号定义和 PC/AT 基本一致, 但电气和机械规范却完全不同, 是一种优化的小型堆栈式结构的嵌入式控制系统。数据总线宽度有 8 位的基本模式和 16 位的扩展模式两种。其中 8 位基本模式的 IO 读写时序如图 3 所示。

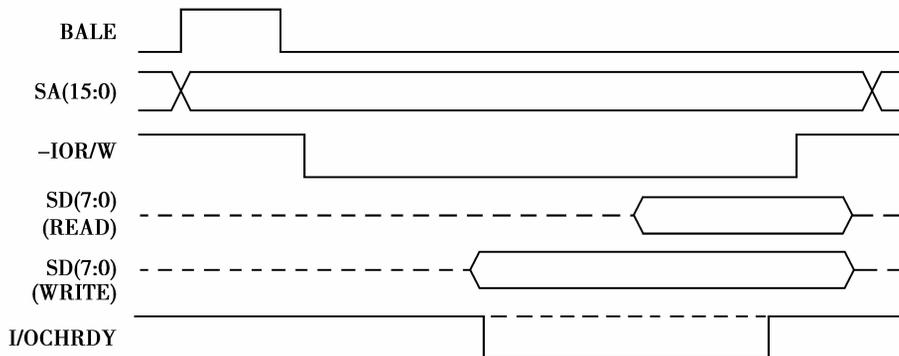


图 3 PC/104 总线 8 位 IO 读写时序

3 接口设计

3.1 A3P060 FPGA 的特点与设计流程

SPI 接口设计所采用的 FPGA 是美国 Actel 公司的基于 Flash 架构的 ProAsic3 系列芯片 A3P060。这种系列的 FPGA 无需外部配置芯片,因而具有掉电非易失性、无需上电启动功耗和配置功耗、上电时间非常短、无特别上电时序要求以及可进行 FlashLock 和 AES 两种加密功能等特点。A3P060 器件内部具有 60 K 系统门、18 Kbit SRAM、1 Kbit 的片内可编程非易失性 FlashROM 和 1 个 PLL,其最高工作频率可达 350 MHz,用户可编程使用的 I/O 有 71 个。

Actel 公司为设计人员提供集成的 FPGA 开发软件 Libero,该软件包含的图形输入 Viewdraw、文本输入 HDL Editor、设计文件管理 SmartDesign、波形激励生成 Waveformer、仿真 ModelSim、综合 Synplify、布局布线 Designer 和编程下载 FlashPro 等软件。用户从 Libero 环境进入某些软件(ModelSim、Synplify、Designer 和 FlashPro)时,Libero 会自动为用户建立新工程并自动添加相关文件。给设计工作带来极大的方便。Actel FPGA 完整的设计流程如图 4 所示。

3.2 系统结构设计

SPI 接口的基本功能是通过 FPGA 来实现 PC/104 总线与 SPI 总线的的数据交换。系统的结构框图如图 5 所示。系统主要由 PC/104 总线与 FPGA 的接口和 SPI 接口两部分组成。为了能在 PC/104 总线规定的时刻读/写 SPI 接口的数据,使用 PC/104 总线的读写信号、同步时钟、数据总线和地址总线。

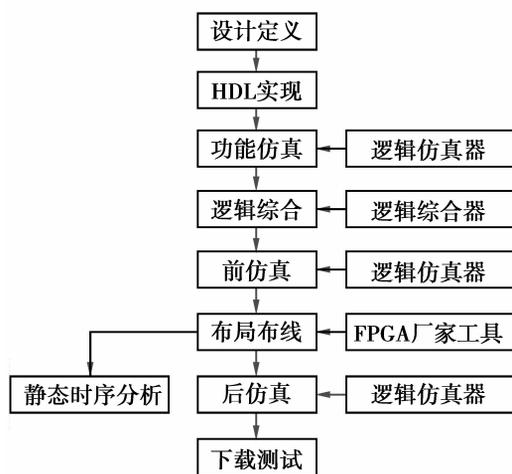


图 4 Actel FPGA 设计开发流程

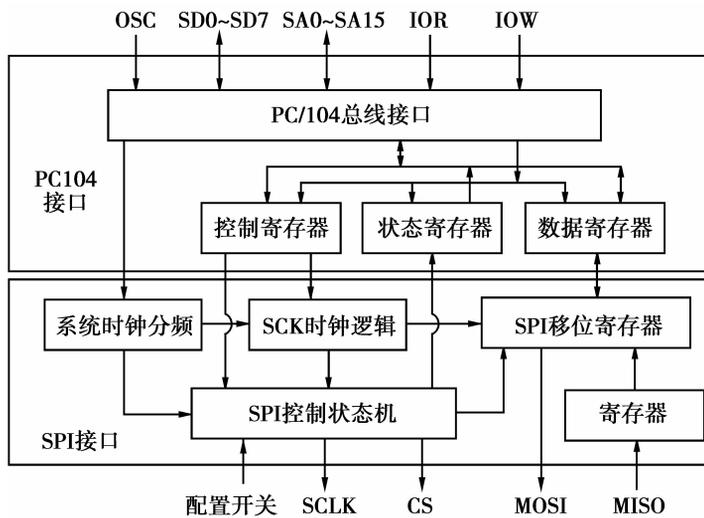


图 5 SPI 接口系统结构框图

3.3 SPI 接口逻辑设计

SPI 接口主要有系统时钟分频、SCK 时钟逻辑、SPI 移位寄存器、输入寄存器和 SPI 控制状态机等五个模块组成。SPI 控制状态机模块在接口中起着重要的控制作用,主要功能包括产生从机选择信号 CS;控制 SPI 移位寄存器的装载和发送;监控数据传输过程;产生时钟屏蔽信号等。SPI 控制状态机如图 6 所示。

SPI 控制状态机处于 IDLE 状态时,只要 start = 1,状态机就进入 SSN1 状态,该状态会使能内部 CS 信号;内部 SCK 信号的上升沿(sck_int_re = 1)后,状态机切换到 SSN2 信号,该状态下一直保持 CS 信号有效,直到下一个状态;在内部 SCK 信号的下降沿(sck_int_fe = 1)后,状态机进入 UNMASK_SCK 状态;在 UNMASK_SCK 状态下,要传输的数据会被装载到 SPI 移位寄存器;在内部 SCK 信号的上升沿(sck_int_re = 1)转移到到 TRANSMIT_BIT 状态;在此状态下,SPI 移位寄存器向外逐位移出数据,直到一次数据发送完毕,即 bit_cnt >

= set_bt_num 后,状态机切换到 MASK_SCK 状态;状态机在 MASK_SCK 状态时,在屏蔽外部信号时继续保持 CS 信号有效,以确保数据传输已经完成,内部时钟信号 SCK 下降沿 (sck_int_fe = 1), 状态机切换到 HOLD_SSN 状态;该状态下 CS 信号仍继续保持有效一个 SCK 周期,直到内部时钟信号 SCK 的下一个上升沿 (sck_int_re = 1), 换到 N_SSN 状态;此后 CS 信号变为无效,并一直保持到内部 SCK 信号的下一个下降沿 (sck_int_fe = 1), 状态机切换到 IDLE 状态。接下来如果 start = 1, SPI 将启动下一次的数据传输过程。

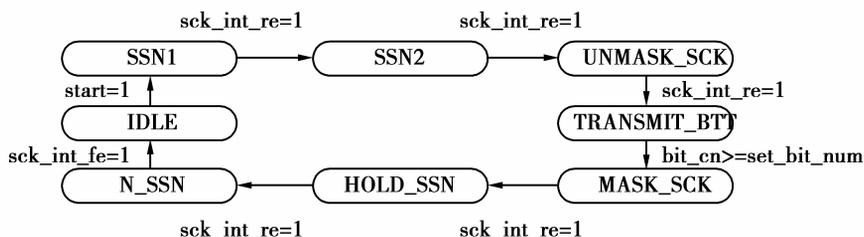


图 6 SPI 状态机的状态转换图

3.4 仿真波形

在 Libero 开发环境下建立工程,运用 HDL Editor 软件编辑输入实现 PC/104 总线与 SPI 总线接口的 Verilog 硬件描述语言程序,检查程序无逻辑错误后保存。编写相应的测试激励文件并保存。进入仿真软件 ModelSim,对激励文件和已保存的 Verilog 硬件描述语言程序分别进行编译,编译通过后,执行波形仿真,结果如图 7 所示。通过仿真波形可以看出,以上的 SPI 接口设计满足 MAX532 程控放大器 SPI 通讯要求,即工作在模式 0,一次传输 3 个字节且字节高位 (MSB) 首先传输。

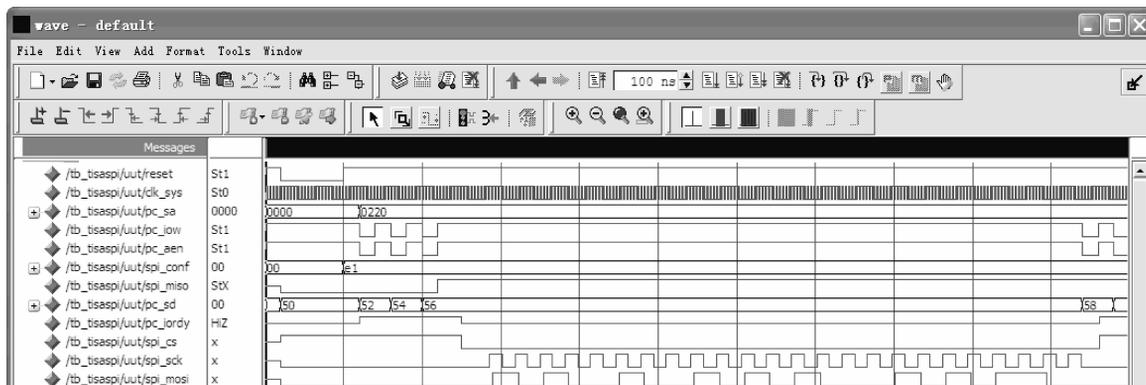


图 7 仿真波形图

3.5 实验结果

仿真通过后,采用 Synthesis 软件对用以上接口程序进行综合,综合完成后用 Place&Route 软件进行布局

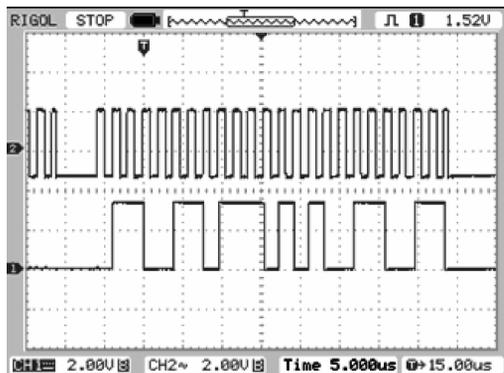


图 8 接口板输出的 SCK 与 MOSI 波形

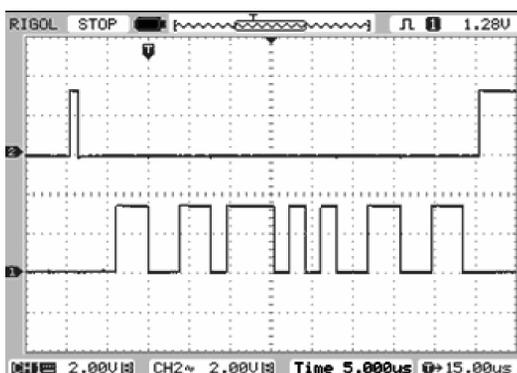


图 9 接口板输出的 CS 与 MOSI 波形

布线和分配管脚并生成下载文件,最后用FlashPro软件将下载文件通过编程器下载到A3P060 FPGA芯片中。将制成的接口电路板堆叠到PC104主机模块上,上电启动系统后进入到DOS环境下,运行测试程序,即向PC104总线0x220地址连续写入3个字节数据,用示波器观察到SPI接口输出的SCK、CS和MOSI波形如图8、图9所示。

4 结 论

该PC104总线与SPI接口通讯板的设计,只需一块FPGA芯片,外围电路简单,具备一定的功能扩展性。为增强系统的可靠性和抗干扰性能,在通信通道上均采用光电隔离技术,保护PC104嵌入式工业计算机避免因地环流而损坏和在恶劣环境中使用的稳定性。该接口板将PC104总线数据直接转换为SPI总线的通讯形式,提高了系统控制的实时性。本设计方案已成功应用于工业X-射线测厚仪系统中,效果理想。

参考文献:

- [1] 王换招. PC系列微机总线. [M]. 西安:西安交通大学出版社,1995
- [2] 颜华敏. 基于PC104总线的硬币清分机研制[J]. 微型电脑应用,2003,24(5):23-27
- [3] 梁祥,封吉平,安学军. 基于PC/104总线与CPLD的SPI接口设计[J]. 徽计算机信息,2005,12-2:29-32
- [4] 孙丰军,余春暄. SPI串行总线接口的Verilog实现[J]. 现代电子技术,2005,207(16):105-109
- [5] 吴学庆,刘文怡,张会新. 基于PC104总线和CAN总线的测试系统设计[J]. 机械工程与自动化,2010. 158(1):35-39
- [6] 白光泽,邢燕. 基于Verilog HDL的SPI IP核的设计及仿真实现[J]. 制造业自动化,2010. 33(12):113-115
- [7] 赵海婷,贺占庄. 面向EEPROM应用的SPI主控制器设计与实现[J]. 计算机系统应用,2012. 21(4):64-67
- [8] 夏宇闻. Verilog数字系统设计教程[M]. 北京:北京航空航天大学出版社,2003
- [9] 王建民,田晓华,江晓林. Verilog HDL数字系统设计[M]. 黑龙江:哈尔滨工业大学出版社,2011

Design of SPI Interface Based on FPGA and PC/104 Bus

TANG Dai-bin, ZHU Wei-min

(1. Department of Electrical Engineering, Anhui Technical College of
Mechanical Electrical Engineering, Anhui Wuhu 241000, China;

2. Maanshan Hengrui Measurement Co., Ltd, Anhui Maanshan 243000, China)

Abstract: In order to meet the demand of realizing the control of programmed amplifiers with SPI interface by imbedded industrial-controlled computers through PC/104 bus, based on the research on communication protocol of PC/104 bus and SPI bus, this paper firstly introduces the structure and working time sequence of SPI bus and PC/104 bus, then proposes the interface design scheme for PC/104 bus converting to SPI bus based on FLASH framework of FPGA chip, provides the design idea for SPI-controlled state machine, makes simulation test by using ModelSim simulation software and finally verifies the validity and feasibility of this design scheme by simulation and experiment.

Key words: SPI interface; PC/104 bus; FPGA; interface design

责任编辑:代小红