

文章编号:1672 - 058X(2012)07 - 0078 - 04

一种动态视频采集系统的调试与验证方法

冯新宇, 蒋洪波, 范洪刚

(黑龙江科技学院 电信学院, 哈尔滨 150027)

摘要:以 SOPC 软核技术为设计基础,通过采用一种双 DMA 模块与系统 IP 互连,实现了一种动态视频采集系统;给出了调试结果和验证方法,优化了动态图像处理系统的性能,最后方案在硬件开发平台 DE2 上实现。

关键词:嵌入式;视频采集;SOPC

中图分类号:X791

文献标志码:A

现代多媒体技术中实时视频图像的采集和处理占有极其重要的地位。如可视电话、多媒体 IP 电话和电话会议等,各类实时视频监控等设施在日常生活中随处可见,实时视频图像采集是核心的技术。产品的整体效果会受到采集的速度和质量的直接影响。视频图像经过数字处理后,数据量大,而高速的数据实时处理是计算机应用领域中技术难度较大的部分。提出了一种基于 NiosII 软核实现运动视频图像采集系统^[1],系统实现视频图像数据的采集、存储和显示功能,大量的视频数字信号通过该系统来调度。

1 系统组成

系统总体框图如图 1 所示,实线框内为系统的 SOC 结构,外接视频数据采集装置——CMOS 传感器,以及数据输出的 VGA 外部控制芯片和片外存储器等^[2]。虚线框内的 4 个模块可视为一个局部的小整体,它将采集到的图像数据经过修正后输出供其他模块调用。

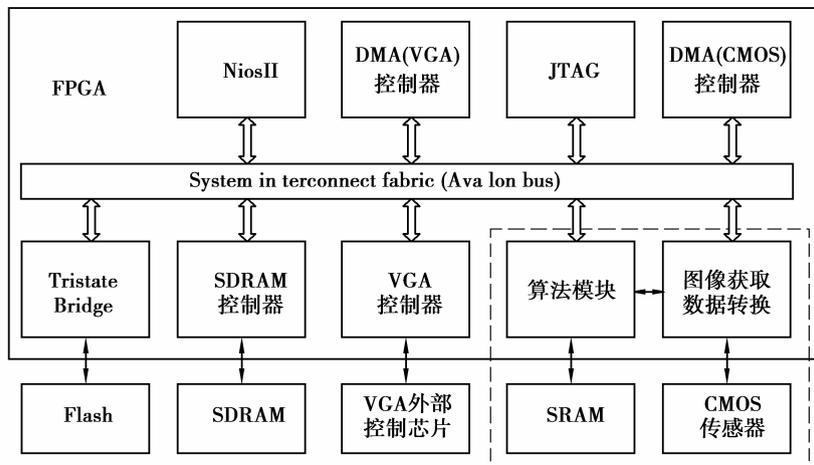


图 1 系统框图

收稿日期:2012 - 04 - 10;修回日期:2012 - 05 - 05.

作者简介:冯新宇(1978-),男,黑龙江北安市人,讲师,硕士,从事嵌入式、数字系统设计研究.

在此主要是利用已有 IP 核模块来搭建硬件平台。有 NiosII 处理器模块、VGA 控制器模块、图像获取与数据转换模块、SDRAM 控制器和 DMA 控制器几部分组成了视频采集子系统,图 1 中虚线框的 4 个模块通过 Avalon 总线与 NiosII 处理的相互控制实现图像的获取、存储与显示功能。其中,图像获取与转换模块和 VGA 控制器为自行开发完成,SDRAM 控制器与 DMA 控制器为 Nios II 系统标准外设,不需要自行开发。

当系统上电后,Nios II 处理器开始进行图像获取与数据转换模块同时控制 VGA。其中的图像获取与转换模块使用的是中断的方式通知 NiosII 处理器启动 DMA 控制器,该 DMA 控制器与 CMOS 摄像头相连接,将图像数据搬运到 SDRAM 的指定区域。同时,另一路 DMA 控制器通过控制 VGA 控制器的 Avalon 端口从 SDRAM 的指定区域主动获取数据,显示到 VGA 显示器上。

2 系统集成与综合

系统集成使用的是 QuartusII 软件,集成了组件 SOPC Builder,利用该工具建立 SOPC 系统,主要添加模块有 Nios II 处理器、三态桥、Flash 及其控制器、SDRAM 及其控制器、UART、JTAG UART、PIO、锁相环、二个 DMA 控制器、CMOS 控制器以及 VGA 控制器,如图 2 所示。在该界面中可以编辑系统中 IP 核各个端口间的连接关系。从图 2 中还可以获知各个端口寄存器的首地址、末地址以及各 IP 核产生的中端信号的优先级^[3]。在 SOPC Builder 中生成系统以后,把生成的相关文件添加到 Quartus II 所建的工程中进行综合,结果如图 3 所示。系统使用了 5 960 个逻辑单元,只占所使用芯片硬件资源的 18%。另外,寄存器数为 3 494,管脚数为 294。

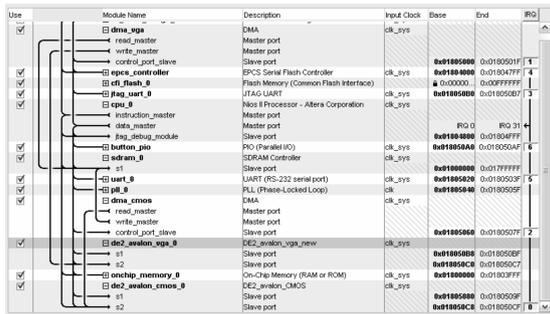


图 2 处理器与外围 IP 接口

Flow Status	Successful - Tue Jun 10 15:38:26 2008
Quartus II Version	6.0 Build 178 04/27/2006 SJ Full Version
Revision Name	DE2_CMOS
Top-level Entity Name	DE2_CMOS_top
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Met timing requirements	Yes
Total logic elements	5,960 / 33,216 (18 %)
Total registers	3494
Total pins	294 / 475 (62 %)
Total virtual pins	0
Total memory bits	284,504 / 483,840 (59 %)
Embedded Multiplier 9-bit elements	4 / 70 (6 %)
Total PLLs	1 / 4 (25 %)

图 3 系统综合结果

3 软件设计

系统软件实现的功能:根据视频图像采集系统的需要,为视频运动目标检测模块提供所需要的图像数据;完成系统数据调度程序,实现图像数据的采集、缓存和显示。

软件在 Nios II IDE 的软件环境中用 C 代码实现,通过正确地配置两路 DMA 的控制寄存器,同时设计好 DMA 控制器的源地址和目的地址。主要完成部分工作:

(1) 在 DMA 的控制下把图像获取与数据转换模块把从 CMOS 传感器接收到的图像信号通过 Avalon 总线搬运到 SDRAM 控制器,进而存储到片外的 SDRAM 中;

(2) 在 DMA 控制下把图像数据从 SDRAM 通过 Avalon 总线传输到 VGA 控制器,再在片外的 VGA 显示器上进行显示。

软件实现的流程如图 4 所示。

4 实验结果及分析

采用 Terasic 公司的 DE2 开发套件做为测试平台, DE2 开发套件使用芯片为 Altera CycloneII EP2C35F672C6, 该芯片含有 33 216 个逻辑单元, 483840 bit 的 RAM, 35 个乘法器, 4 个锁相环, 使用 EPCS16 串行配置芯片, 内建 USB Blaster 配置与调试端口, 内建 VGA 视频输出端口, 8 MB 大小的 SDRAM, 512 KB 大小的 SRAM, 4 MB 大小的 Flash。

4.1 统功能验证

先把在 Quartus II 6.0 中编译综合后的硬件系统下载到 DE2 评估板上, 这样就在评估板上建立了所设计的硬件系统, 然后在 Nios II IDE 6.0 设计的软件选定该硬件平台, 运行软件, 就可以通过显示器观察到系统的功能的实现情况。图 5 是视频图像采集系统运行时拍摄到的 VGA 显示器上的一张视频截图。从图像中可以看到系统成功的采集到了图像数据, 通过数据调度程序显示到了显示器上。

CMOS 传感器每 80 ns 采集一个像素点的数据^[4,5], VGA 显示器每 40 ns 显示一个像素点的数据, 因此系统并不是采集一帧就显示一帧, 而是采集一帧后重复显示 10 次, 然后再采集下一帧, 所以系统所显示图像的连接性不是特别理想。

4.2 系统性能分析

在数据传输过程中, 根据所需传输的像素数的不同, 把 7 个传输过程分为 2 部分的传输:

(1) 从 CMOS 控制器到 SDRAM 的存储, 所需传输像素数为 640×512 ;

(2) 从 SDRAM 到 VGA 控制器的显示, 所需传输像素数为 640×480 , 且对同一帧图像重复显示 10 次。则对一帧图像的传输, 第一部分的传输耗时为 $t_1 = 640 \times 512 \times 50 \text{ ns} = 16\,384\,000 \text{ ns}$, 第二部分的传输耗时为 $t_2 = 640 \times 480 \times 40 \times 10 \text{ ns} = 122\,880\,000 \text{ ns}$, 根据模块频率, 在图像采集过程中, CMOS 传感器采集一帧图像数据所需时间为 $t_3 = 640 \times 512 \times 80 \text{ ns} = 26\,214\,400 \text{ ns}$, 而在图像显示过程中, VGA 显示器显示一帧图像数据所需时间为 $640 \times 480 \times 40 \text{ ns} = 12\,288\,000 \text{ ns}$, 由软件设计流程知, CMOS 传感器采集的每帧图像在 VGA 显示器上重复显示 10 次, 耗时为 $t_4 = 640 \times 480 \times 40 \times 10 \text{ ns} = 122\,880\,000 \text{ ns}$, 根据以上分析, 一帧图像从开始采集到最终显示总耗时为 $t = t_1 + t_2 + t_3 + t_4 = 288\,358\,400 \text{ ns}$, 则系统每秒可采集的图像帧数为 $n = 1/t = 3.5 \text{ 帧}$, 系统每秒可显示的图像帧数为 $N = n \times 10 = 35$ 。

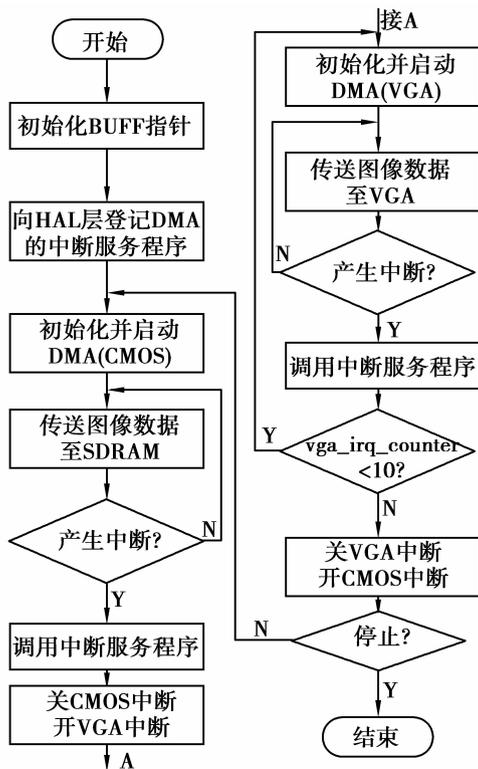


图 4 数据调度程序流程图



图 5 系统运行结果视频截图

5 结 论

- (1) 在此用 C 语言进行了系统的软件设计,完成数据调度的功能,实现该功能的关键是系统中所采用的二个 DMA 控制器,该设备在系统中通过软件建立了图像数据采集通道和图像显示通道,二路通道交替工作避免了同时传输时总线速度不够的问题;
- (2) 在平台上成功完成了视频采集系统的软硬件调试;
- (3) 图像接收器采用新型的 CMOS 有源像素图像传感器,其采样速度可达 38 帧/s,保证了图像的实时显示。由 FPGA 开发板来完成图像驱动,提高了速度和可靠性;
- (4) 系统采用 Avalon 总线作为系统中各 IP 核之间的接口,该接口的可配置性使得系统工作时可以根据外设逻辑来决定需要什么样的信号,从而使信号数量最小,节省了系统资源。

参考文献:

- [1] 沈军涛. 基于 Nios II 的视频处理系统的设计与实现[D]. 成都理工大学硕士学位论文,2007:44
- [2] 闫飞,胡宝霞,王彦田,等. 基于 Nios II 软核的运动目标检测系统设计[J]. 信息技术,2008(2):127-129
- [3] 孙莹涛,李玉山. 基于 Nios II 软核的运动目标跟踪系统设计[J]. 电子元器件应用,2006(5):87-88
- [4] 刘威,石彦杰,高博. 基于 FPGA 的 VGA 显示模式和像素频率的识别[J]. 电子工程师,2008,34(1):50-52
- [5] 陈明松,初秀琴,任爱锋. 基于 Nios II 的 IP camera 传输系统实现[J]. 国外电子元器件,2008(2):53-56

A Debugging and Verification Method of Dynamic Video Capture System

FENG Xin-yu, JIANG Hong-bo, FAN Hong-gang

(School of Electronics and Information, Heilongjiang Institute of Science and Technology, Harbin 150027, China)

Abstract: This article takes SOPC soft-core technology as the design basis, through the use of a dual DMA module and systems IP interconnection, achieves a dynamic video capture system, gives the debugging results and verification methods, optimizes the performance of the dynamic image processing system, and finally implements this design on the hardware development platform DE2.

Key words: embedded-style; video capture; SOPC

责任编辑:代小红